



PATENT ABSTRACTS OF JAPAN

(11) Publication number: **06061788 A**(43) Date of publication of application: **04.03.94**

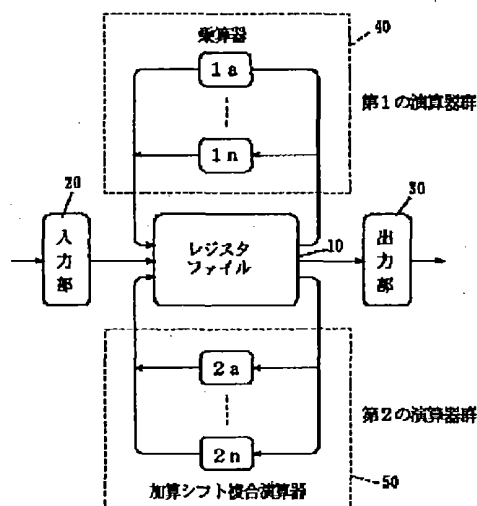
(51) Int. Cl.

H03H 17/00**H03H 17/02****// G06F 15/82**(21) Application number: **04209918**(71) Applicant: **SHARP CORP**(22) Date of filing: **06.08.92**(72) Inventor: **OKAMOTO TOSHIYA****(54) DATA DRIVE TYPE FILTER DEVICE****(57) Abstract:**

PURPOSE: To provide a filter device capable of realizing an optional filter and capable of executing filter processing at a high speed.

CONSTITUTION: The data drive type filter device includes a register file 10 including plural registers, a 1st computing element group (40) including multipliers (1a-1n), a 2nd computing element group (50) including adder and shift computing elements (2a-2n), an input section (20) writing data given externally to a register designated by a program in the register file and an output section 30 outputting register data designated by a program in the register file 10 to the outside of the device. The register file 10 includes plural registers and one entry corresponds to one fir instruction or one iir instruction. The register file stores external data, data on the way of processing, constants and initial values. The read/write of the register file is executed according to the single write single read rule.

COPYRIGHT: (C)1994,JPO&Japio



(19)日本国特許庁(JP)

(12) 公開特許公報(A)

(11)特許出願公開番号

特開平6-61788

(43)公開日 平成6年(1994)3月4日

(51)Int.Cl.⁵

H 0 3 H 17/00

17/02

// G 0 6 F 15/82

識別記号

Z 7037-5 J

P 7037-5 J

7323-5 L

庁内整理番号

F I

技術表示箇所

審査請求 未請求 請求項の数 1 (全 35 頁)

(21)出願番号 特願平4-209918

(22)出願日 平成4年(1992)8月6日

(71)出願人 000005049

シャープ株式会社

大阪府大阪市阿倍野区長池町22番22号

(72)発明者 岡本 俊弥

大阪府大阪市阿倍野区長池町22番22号
シャープ株式会社内

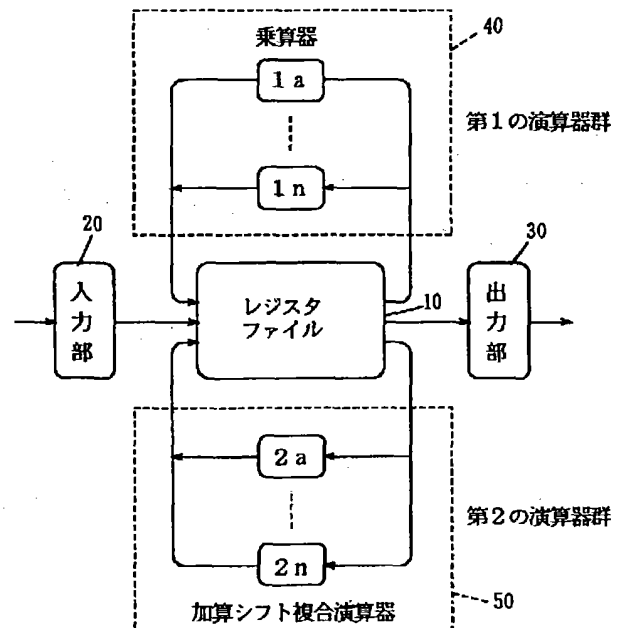
(74)代理人 弁理士 深見 久郎

(54)【発明の名称】 データ駆動型フィルタ装置

(57)【要約】

【目的】 任意のフィルタを実現することができるとともに高速でフィルタ処理を実行することのできるフィルタ装置を提供することを目的とする。

【構成】 データ駆動型フィルタ装置は、複数のレジスタを含むレジスタファイル10と、乗算器(1a~1n)を含む第1の演算器群(40)と、加算およびシフト複合演算器(2a~2n)を含む第2の演算器群(50)と、レジスタファイル内のプログラムにより指定されたレジスタへ外部から与えられたデータを書込む入力部(20)と、レジスタファイル10内のプログラムにより指定されたレジスタデータを装置外部へ出力する出力部30を含む。レジスタファイル10は複数のレジスタを含み、1エントリーが1つのf i r命令またはi i r命令に対応する。レジスタファイルは外部からのデータ、処理途中のデータ、定数および初期値を格納する。このレジスタファイルは単一代入単一読出のルールで読出および書込が実行される。



(2)

1

【特許請求の範囲】

【請求項1】 複数のレジスタを有するレジスタファイルを備え、前記レジスタファイルは、処理すべきおよび処理後のデータを格納するデータフィールドと、このデータフィールドにおけるレジスタを特定する行先情報を格納する行先フィールドとを含み、かつ前記レジスタファイルの1つのエントリはデータフィールドに含まれるデータレジスタと行先フィールドに含まれる行先レジスタとを有し、

外部からのデータを受け、前記レジスタファイルのデータフィールド内の所定のレジスタへ該受けたデータを書込むデータ入力手段と、

乗算器と加算シフト複合演算器とを含む演算手段と、前記レジスタファイルの前記データフィールド内のデータレジスタの内容を読み出し前記演算手段へ与える読出手段と、

前記演算手段の出力を前記データフィールド内のレジスタへ書込む書込手段とを備え、前記書込手段は前記行先フィールド内の行先レジスタが記憶する行先情報が示すデータレジスタへ前記演算手段の出力を書込む手段を含み、

前記レジスタファイルの前記データフィールド内の所定のデータレジスタの内容を読み出し装置外部へ出力する出力手段を備える、データ駆動型フィルタ装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 この発明はデジタル信号をフィルタ処理するためのデジタルフィルタに関し、特に、データ駆動方式に従ってデジタル信号のフィルタ処理を行なうデータ駆動型フィルタ装置に関する。

【0002】

【従来の技術】 信号処理の分野においては、正確に所望の信号処理を実行するために、波形整形、ノイズ成分の除去および所望の信号成分の抽出などが行なわれる。このような処理のためにはフィルタが用いられる。フィルタには、受動素子（インダクタンスL、キャパシタCおよび抵抗R）を用いるLCRフィルタ、演算増幅器および抵抗RならびにキャパシタCを用いる能動フィルタがある。このLCRフィルタおよび能動フィルタはアナログ信号をアナログ形態でフィルタ処理しており、アナログフィルタと呼ばれる。

【0003】 一方において、映像信号および/または音声信号などを処理する分野においては、信号処理の精密化、容易化および高度化などのために、信号はデジタル形態で処理されることが多い。この場合、アナログ信号がデジタル信号に変換された後にこのデジタル信号に対し所望の信号処理が実行される。このようなデジタル信号処理分野においても、ノイズ成分の除去および所望の成分の抽出などのためにフィルタ処理が実行される。このフィルタ処理は、デジタル回路を用いてデジタル的に

2

実行される。このフィルタ処理を行なうデジタル回路はデジタルフィルタと呼ばれる。

【0004】 デジタルフィルタは、基本的には、加減算器と、1標準化周期（アナログ→デジタル変換されたときのサンプリング信号周期：または入力デジタル信号が与えられる周期）遅延させる遅延素子Dを基本構成要素として備える。このようなデジタルフィルタは、広く一般に用いられるようになってきている。

【0005】

【発明が解決しようとする課題】 デジタルフィルタを構成する場合、そのハードウェア構成を固定的に設定したならば、アナログフィルタ回路では可能であったフィルタ係数の変更およびタップ数の変更は容易を行なうことができない。デジタルフィルタにおいては、フィルタ係数は、乗算器の係数で表わされ、この乗算係数の変更は、ハードウェア構成が固定された場合変更が困難となるからである。また、デジタルフィルタにおいては、タップ数は、遅延回路の段数（または乗算器の数）で決定される。タップ数を変更するためには、遅延回路の段数（または乗算器の数）を変更する必要がある、容易には行なうことができない。

【0006】 上述のような固定されたハードウェア構成を備えるデジタルフィルタの欠点を克服する方法として、以下の2種類の方法が考えられる。

【0007】 その1つは、係数（乗算係数）を任意の値に変更することのできる専用LSIを用いることであり、もう1つは、プログラム可能なプロセッサを用いるものである。

【0008】 第1の手法においては、タップ係数（乗算係数すなわちフィルタ係数）を外部から与える構成が用いられる。この場合、タップ係数は変更可能であるものの、デジタルフィルタ自体の構造は固定されている。FIR（有限長インパルス応答）フィルタ、IIR（無限長インパルス応答）フィルタ、または両者を組合わせたフィルタ構成の場合、他の構成に変更することはできない。そのため、その用途が限定されるという欠点が生じる。

【0009】 第2の方法は、DSP（デジタル信号プロセッサ）または従来のデータ駆動型プロセッサなど信号処理用プロセッサを用いるものである。これらの信号処理用プロセッサを用いてデジタルフィルタを構成した場合には、プログラムによりその処理内容を変更することができ、しかしながら、データ処理を行なうためのプログラムには、フィルタ処理そのものの処理を行なう命令以外の命令が含まれる。プロセッサを用いてデジタルフィルタを構成した場合、その最小演算命令は、加算、減算、乗算などの命令であり、このため命令の数が増大する。データ駆動型プロセッサにおいては、あるノードにおいて必要とされる条件が揃ったときにそのノードが発火する。各ノードにはそれぞれ演算命令が割当てられる。したが

(3)

3

って、このような単位演算命令を用いてデジタルフィルタを構成した場合、命令の数が増えるため、応じて等価的にノードの数が増大し、発火条件の判別、必要データの待合わせなどフィルタ処理以外のデータ処理を実行する必要があり、このフィルタ処理以外の処理実行時間がオーバーヘッドとなり、高速でフィルタ処理を行なうことができないという問題が生じる。

【0010】上述のように、専用LSIを用いてデジタルフィルタを構成した場合、そのハードウェア構成は固定され、プログラム可能ではないため、任意のフィルタを構成することができないという欠点がある。

【0011】またプログラム可能なプロセッサを用いた場合にはその命令の内容がフィルタ処理の基本要素となっていないため、命令実行時間によるオーバーヘッドが生じ、高速でフィルタ処理を行なうことができないという問題が生じる。

【0012】それゆえ、この発明の目的は、高速でフィルタ処理を行なうことのできるデジタルフィルタ装置を提供することである。

【0013】この発明の他の目的は、任意のフィルタ構造を容易に実現することのできるデジタルフィルタ装置を提供することである。

【0014】

【課題を解決するための手段】この発明に係るデータ駆動型フィルタ装置は、複数のレジスタを有するレジスタファイルを備える。このレジスタファイルは、データを格納するデータフィールドと、このデータフィールドにおけるレジスタを特定する行先情報を格納する行先フィールドとを含む。このレジスタファイルにおける1エントリはデータフィールドのレジスタと行先フィールドのレジスタとを含む。好ましくは、このレジスタファイルの1エントリが、フィルタ処理における基本演算命令に対応する。

【0015】この発明に係るデータ駆動型フィルタ装置はさらに、外部から与えられる入力データをレジスタファイルのデータフィールド内の所定のレジスタへ書込むデータ入力手段と、乗算器と加算シフト複合演算器とを含む演算手段と、レジスタファイル内のデータフィールドに含まれるレジスタの内容を読み出し、この演算手段へ与える読出手段と、演算手段の出力をレジスタファイルのデータフィールド内のレジスタへ書込む書込手段を含む。この読出手段が読出すレジスタの指定は、プログラム可能である。また、書込手段は、行先フィールド内のレジスタのプログラム可能な行先情報が示すレジスタへデータを書込む手段を含む。

【0016】この発明に係るデータ駆動型フィルタ装置は、さらにレジスタファイル内の所定のレジスタの内容を読み出して装置外部へ出力する出力手段を備える。

【0017】

【作用】演算手段は、フィルタ処理に必要とされる乗算

4

器と加算シフト複合演算器を含む。この演算手段は、デジタルフィルタの基本ユニットを構成する。デジタルファイルのデータフィールド内のレジスタの内容は演算手段へ与えられ、所定の演算が実行される。この演算手段による演算はフィルタの基本単位の演算である。したがって、このデータレジスタの読出/書込命令は、フィルタ処理の基本単位命令となっており、フィルタ処理以外の命令を実行する必要がなく高速でフィルタ処理を行なうことができる。

【0018】またデータレジスタの書込/読出先を変更することによりFIRフィルタおよびIIRフィルタいずれをも実現することができるのみならず、所望の構造のフィルタを構築することができる。

【0019】また、乗算係数(フィルタ係数)をデータレジスタ内に保持しておくことにより容易にフィルタ係数を変更することができ、フィルタ特性の変更を容易に行なうことができる。

【0020】また、レジスタファイルのエントリ数の調整することにより容易にフィルタのタップ数を変更することができる。

【0021】

【実施例】図1はこの発明の一実施例であるデータ駆動型フィルタ装置の全体の構成を概略的に示すブロック図である。図1において、データ駆動型フィルタ装置は、入力データを受け取る入力部20と、複数のレジスタを含み、処理されるべきデータおよび処理後のデータを格納するレジスタファイル10と、このレジスタファイル10に格納された最終演算結果を読み出して装置外部へ出力する出力部30を含む。

【0022】レジスタファイル10は、その構成は後に詳細に説明するが、データ駆動型構成を実現するために、処理データのみならず、この処理データの書込先を特定する行先情報を格納するレジスタも備える。すなわち、レジスタファイル10は、処理データを格納するデータフィールドと、このデータフィールド内の特定のレジスタを特定する行先情報を格納する行先フィールドとを含む。このデータフィールドおよび行先フィールドはそれぞれ複数のレジスタを含む。

【0023】入力部20は、レジスタファイル10の所定のレジスタ(この所定のレジスタはプログラムにより指定され、実現すべきフィルタ構造によって異なる)へ入力データを書込む。入力部20はまた、後に説明するが、1つの入力データに関連する処理が完了するまで次のデータの入力を待合わせる機能を備える。

【0024】出力部30は、このレジスタファイル10の所定のレジスタ(フィルタの最終ユニットに対応するレジスタ)の内容を読み出して装置外部へ出力する。この構成についても後に詳細に説明する。

【0025】データ駆動型フィルタ装置はさらに、乗算器1a~1nを含む第1の演算器群40と、加算シフト

50

(4)

5

複合演算器2 a ~ 2 nを含む第2の演算器群5 0を含む。この第1の演算器群4 0および第2の演算器群5 0に含まれる乗算器および加算シフト複合演算器の数は複数ではなく、1つであってもよい。1個の乗算器1 (乗算器1 a ~ 1 nを総称的に示す) と1個の加算シフト複合演算器2 (加算シフト複合演算器2 a ~ 2 nを総称的に示す) で1つの単位フィルタ構造が実現される。この第1の演算器群4 0および第2の演算器群5 0へは、レジスタファイル1 0のデータレジスタの内容が伝達される。処理結果は、この第1の演算器群4 0および第2の演算器群5 0へ与えられたデータと同一エントリーの行先レジスタの内容が指定するレジスタへ書込まれる。特に、第1の演算器群4 0の処理結果が書込まれるレジスタは予め固定的に設定される。

【0026】レジスタファイル1 0は、単一代入単一読出のルールに従ってデータの書込および読出が実行される。ここで「単一代入単一読出」のルールとは、一度読出されたデータは消費され、再び利用されることがないというルールである。また、このルールでは書込み読出しが完了するまで行なわれない。ただしこのルールは、定数データ (フィルタ係数: 乗算係数) は除く。すなわち、オーバーライトされたときには、新しいデータが有効となる。

【0027】図2は、図1に示すレジスタファイルの内部構成を具体的に示す図である。図2において、レジスタファイル1 0は、情報を格納するためのレジスタファイルRFと、このレジスタファイルRFのデータ書込および読出を制御する書込/読出制御部RWCを含む。レジスタファイルRFは、データフィールドDAFと、行先フィールドDEFを含む。データフィールドDAFは、複数のデータレジスタDARを含み、行先フィールドDEFは、複数の行先レジスタDERを含む。図2において同一行に配置されるレジスタがこのレジスタファイルの1エントリーを構成する。データレジスタDARのデータが読出されて第1または第2の演算器群へ与えられたとき同様に関連の行先レジスタDERの内容が読出され書込/読出制御部RWCへ与えられる。書込/読出制御部RWCは、第1または第2の演算器群からの出力データをこの行先レジスタDERからの行先情報に従って対応のデータレジスタへ書込む。書込/読出制御部RWCはデータレジスタDARおよび行先レジスタDERそれぞれ独立にその書込/読出を制御することができる。

【0028】レジスタファイル1 0はさらに、この書込/読出制御部RWCの動作を制御するプログラムコントロール部1 0 0を含む。プログラムコントロール部1 0 0は、このフィルタ装置が実現するフィルタ処理内容を決定するプログラムを格納するプログラムメモリPMと、このプログラムメモリPMに格納されたプログラムに従って書込/読出制御部RWCの動作を制御するシー

6

ケンスコントローラSCを含む。この書込/読出制御部RWCは、したがってシーケンスコントローラSCの出力情報に従って、順次、または並列にレジスタファイルRFの内容の書込および読出、ならびにバス接続制御を実行する。

【0029】図2においては、入力部2 0および出力部3 0はともに書込/読出制御部RWCを介してデータの入出力を行なうように示されている。これは書込/読出制御部RWCが入出力インタフェース回路の機能をも併せて備えるためである。さらに図2においては、入力部2 0および出力部3 0はシーケンスコントローラSCの制御を受けるように示される。これはプログラムメモリPMに書込まれたプログラムに従って入力部2 0が入力データINを書込むデータレジスタを特定するアドレスおよび出力部3 0が出力データOUTを生成するためデータフィルタDAFの特定のデータレジスタDARを指定するアドレスをそれぞれこのシーケンスコントローラSCの制御の下に設定されることを示すためである。シーケンスコントローラSCが入力部2 0および出力部3 0にこのレジスタファイルRF内のデータレジスタのアドレスを設定することはなく、書込/読出制御部RWCがシーケンスコントローラSCの制御の下に入力部2 0および出力部3 0とデータの入出力を行なう構成とされてもよい。このとき、書込/読出制御部RWCはシーケンスコントローラSCの制御の下に入力データINの書込および出力データOUTの読出をレジスタファイルRFに対して実行する。

【0030】プログラムメモリPMへは、外部からプログラムを書込むことができる (この書込経路は示さず)。

【0031】また図2においては、レジスタファイル1 0内部にプログラムコントローラ1 0 0が設けられるように示されている。このプログラムコントローラ1 0 0は、レジスタファイル1 0の外部に設けられて装置外部から書込/読出制御部RWCを制御する構成が用いられてもよい。

【0032】[レジスタの構成] 図3は、レジスタファイルの構成および接続形態を示す図である。図3において、レジスタファイル1 0は、1エントリーとしてデータレジスタDARと行先レジスタDERを含む。

【0033】このデータレジスタDARのレジスタの配置は、命令i i rおよび命令f i rに従ってその意味が変更される。命令i i rは、I I Rフィルタ処理を実行するための命令であり、命令f i rはF I Rフィルタ処理を実行するための命令である。図3においては、この命令i i rが指定されたときのレジスタの配置を示す。

【0034】図3において、データレジスタDARは、処理されるべきデータを格納するA1レジスタ、A2レジスタ、Cレジスタ、入力データを格納するBレジスタ、乗算結果 (Xの計算結果) を格納するXレジスタ、

(5)

7

処理データを格納するDレジスタを含む。

【0035】A1レジスタおよびCレジスタに格納されたデータは、第1の演算器群40に含まれる乗算器1へ与えられる。乗算器1の乗算結果(Xの計算結果)は書込回路62を介して同じエントリー内のXレジスタへ格納される。

【0036】Bレジスタ、XレジスタおよびDレジスタの格納するデータは第2の演算器群50に含まれる加算シフト複合演算器2へ与えられる。加算シフト複合演算器2は、加算器22と、加算器22の出力を所定ビットシフトするシフト回路24を含む。BレジスタおよびXレジスタの格納するデータが加算器22へ与えられる。Dレジスタの格納するデータはシフト回路24におけるシフトビット数を決定する。シフト回路24は、そのシフト数がプログラマブルな回路であり、そのシフト操作により除算を実行する。

【0037】行先レジスタDERは、加算シフト複合演算器2の出力を格納する位置を示す行先情報を格納するEレジスタと、A1レジスタのデータを書込むレジスタを特定する行先情報を格納するFレジスタを含む。このEレジスタおよびFレジスタはそれぞれ複数の行先を特定することができる。EレジスタおよびFレジスタの格納する行先情報はプログラム可能であり、プログラムメモリPM(図2参照)に格納された命令に従ってシーケンスコントローラSCおよび書込/読出制御部RWCの制御の下に対応の行先情報がプログラムされる。

【0038】図3においては、さらにこのデータの書込および読出を実行するために書込回路61、62および63が示される。書込回路61は、Fレジスタに格納された行先情報をデコードし、対応のレジスタへA1レジスタの格納するデータを書込む。書込回路62は乗算器1の出力を同一エントリー内のXレジスタへ書込む。書込回路63は、Eレジスタに格納された行先情報をデコードし、加算シフト複合演算器2の出力に対応のレジスタへ書込む。この書込回路61、62および63は図2に示す読出/制御部RWCに含まれる。また、このデータレジスタDARおよび行先レジスタDERからのデータ読出は、それぞれ独立に図2に示す読出/書込制御部RWCにより実行される。各レジスタは読出/書込制御部RWCの制御の下にそれぞれ対応のデータバスに接続される。このレジスタとデータバスとの接続はプログラムにより決定される。

【0039】上述のようにレジスタファイルにおける1エントリーのレジスタにおいて、各レジスタはどの演算に利用されるかはプログラムにより固定的に設定される。すなわちAレジスタおよびCレジスタは乗算用のデータを格納するために利用され、BレジスタおよびDレジスタは加算シフト複合演算のために利用される。それら以外の演算には利用されない。また、各レジスタには、初期値および読出専用の定数を格納することができ

8

る。このレジスタからのデータの書込および読出は単一代入/単一読出(1回限りの書込および読出)のルールに従って実行される。定数が格納されたレジスタは、書込は行なわれず、その定数を複数回読出すことができる。

【0040】また、行先レジスタDERに含まれるEレジスタおよびFレジスタの行先情報はプログラム可能である。したがって、任意の構造のフィルタを容易に構成することができる。

【0041】図4はfir命令によるレジスタの接続構成を示す図である。命令firの場合、データレジスタDARは、Aレジスタ、Cレジスタ、Bレジスタ、Xレジスタ、およびDレジスタを含む。CレジスタおよびBレジスタの格納するデータは乗算器1へ与えられる。すなわち、CレジスタおよびBレジスタは乗算のためにのみ利用されるデータを格納する。Aレジスタ、XレジスタおよびDレジスタに格納されるデータは、加算シフト複合演算器2へ与えられる。Xレジスタへは、この乗算器1の乗算結果が書込回路62を介して書込まれる。

【0042】上述のように、fir命令においても、各データレジスタは予め定められた演算のためにのみ利用される。

【0043】行先レジスタDERは、Bレジスタに格納されたデータを書込むレジスタを特定する行先情報を格納し、Fレジスタは加算シフト複合演算器2の出力データを格納するレジスタを特定する行先情報を格納する。

【0044】このfir命令においても、各レジスタには初期値および読出専用の定数を置くことができる。各レジスタ(データレジスタ)に対しては単一代入/単一読出のルールに従ったデータの書込および読出が行なわれる(読出専用の定数を除く)。

【0045】EレジスタおよびFレジスタに格納されるデータはプログラム可能である。したがって、このfir命令の場合においてもフィルタの構成を容易に変更することができる。

【0046】この図3および図4に示すレジスタはレジスタファイルにおける1エントリーを構成する。1エントリーは、1つのiir命令またはfir命令に対応する。命令により各レジスタと乗算器および加算シフト複合演算器との間の接続が決定される。

【0047】図5は、iir命令およびfir命令両者を実現するためのレジスタファイルの1エントリーの構成およびレジスタ間の接続を示す図である。図5において、レジスタファイルが1エントリーとして、図3に示す構成と同様、データレジスタDARがA1レジスタ、A2レジスタ、Cレジスタ、Bレジスタ、Xレジスタ、およびDレジスタを含む。行先レジスタDERはEレジスタおよびFレジスタを含む。

【0048】命令firおよび命令iirに従って演算器群40および50へ与えられるデータを切換えるため

50

(6)

9

にスイッチ回路71、72および73が設けられる。スイッチ回路71は、命令*f i r*および*i i r*に従ってA1レジスタおよびBレジスタの伝達経路を切替える。すなわち、スイッチ回路71は、*f i r*命令の場合にはBレジスタのデータを左出力Lへ出力し、A1レジスタの格納データを右出力Rへ伝達する。スイッチ回路71は、*i i r*命令の場合には、Bレジスタの格納データを右出力Rへ伝達しA1レジスタの格納データを左出力Lへ伝達する。

【0049】スイッチ回路72は、*f i r*命令の場合にはスイッチ回路71の左出力Lから与えられたデータを左出力Lへ伝達し、*i i r*命令の場合には与えられたデータを右出力Rへ伝達する。スイッチ回路73はスイッチ回路72と同様の動作を行ない、*f i r*命令の場合には入力データを左出力Lへ伝達し、*i i r*命令の場合には入力データを右出力Rへ伝達する。

【0050】図5においては、スイッチ回路72および73へ行先レジスタDERに含まれるEレジスタおよびFレジスタの格納データが伝達されるように示されている。すなわち、スイッチ回路72および73がこのスイッチ回路72および73が行先情報をデコードし、データ伝達線を振分ける機能を備えるように示される(図3および図4に示す書込回路の機能を備える)。これは、スイッチ回路72および73は単にデータ伝達経路を切替える機能のみを備え、そのスイッチ回路の出力に図3および図4に示す書込回路61、および63が設けられる構成が利用されてもよい。

【0051】この図5に示すようにスイッチ回路71、72および73のデータ伝達経路を命令*i i r*および*f i r*に従って切替えることにより、同一のレジスタ構成を用いて*f i r*命令および*i i r*命令いずれを実行することができFIRフィルタおよびIIRフィルタいずれをも実現することができ、かつまた両者を組合わせた結合型フィルタをも構成することができる。

【0052】【命令ブロック構造】*i i r*命令および*f i r*命令はデータフロー形式で表現される。以下、この命令の記述および内部構造について説明する。

【0053】図6は*i i r*命令の記述および内部構造を示す図である。図6(A)において、*i i r*命令は4入力2出力命令である。入力A、B、CおよびDは、図3に示すレジスタに対応し、また出力EおよびFはレジスタEおよびFに対応する。入力データとしては、初期値または定数が含まれてもよい。

【0054】図6(B)において、*i i r*命令は、4つのノード81、82、83および84を含む。ノード81は加算ノードであり、ノード82は乗算を行なうノードである。ノード83はデータを所定ビットシフトさせるシフト演算を行なうノードであり、ノード84は与えられたデータ所定時間遅延させる遅延(Z^{-1})を実行するノードである。

10

【0055】ノード81は、乗算ノード(Xノード)の出力とB入力に与えられたデータを加算する。ノード82は、C入力とノード84の出力またはA1入力とを乗算する。ノード83は、ノード81(加算ノード: +ノード)の出力をD入力に与えられたビット数だけシフトさせる。ノード84はA2入力を所定時間(1T: Tは1サンプリング期間)遅延させる。入力A1およびA2はどちらか一方が入力される。同時に入力A1およびA2が与えられることは禁止される。ノード84の出力がF出力(Fレジスタの行先情報が特定するレジスタ)へ伝達され、ノード83の出力がE出力(Eレジスタの行先情報が特定するレジスタ)へ伝達される。

【0056】図3に示す構成においては、ノード84の実行する遅延(Z^{-1})を実現する演算器は示されていない。これは等価的にデータレジスタDARにおけるA2レジスタからA1レジスタへのデータ転送により実現される(図3においてA2レジスタからA1レジスタへの矢印で示す)。

【0057】図7は、*f i r*命令の記述および構造を示す図である。図7(A)において、*f i r*命令は、4入力2出力の命令で表現される。入力A、B、CおよびDは、図4に示すAレジスタ、Bレジスタ、CレジスタおよびDレジスタに対応し、E出力およびF出力はEレジスタおよびFレジスタの格納する行先情報が特定する行先へ結合されることを示す。

【0058】図7(B)において、*f i r*命令は、その内部構造として、乗算(X)を行なうノード91と、加算(+)を行なうノード92と、所定ビット入力データをシフトさせる操作を行なうノード93と、ノード93の出力を所定時間遅延させる遅延操作(Z^{-1})を行なうノード94を含む。ノード91は、入力BおよびCの乗算を行なう。ノード92は、乗算器91の出力と入力Aとの加算を行なう。ノード93は、加算ノード92の出力をD入力が指定するビット数シフトさせて出力する。ノード94はノード93の出力を1サンプリング期間遅延させて出力する。

【0059】図6(B)に示す加算ノード(81、92)およびシフト操作ノード(83および93)は図1に示すように加算シフト複合演算器として1つの演算器で表現される。

【0060】図6および図7に示す*i i r*命令および*f i r*命令の内部構造はそれぞれIIRフィルタおよびFIRフィルタの単位構造に対応する。次に一般的なフィルタをこの命令*i i r*および*f i r*が示す内部構造へ分解する方法について説明する。

【0061】【フィルタのプログラム実施例】まずデジタルフィルタの構成の基本について説明する。

【0062】標本化周期Tで標本化された入力系列を $\{x_n\} = x_0, x_1, x_2, \dots, x_n \dots$ とし、フィルタの出力系列を $\{y_n\} = y_0, y_1, y_2, \dots, y_n \dots$ と

(7)

11

する。一般に、このデジタルフィルタにおいては入力系列 $\{x_n\}$ と出力系列 $\{y_n\}$ とは差分方程式を用いて以下のように関係付けられる。

$$【0063】 y_n = \sum a_k \cdot x_{n-k} - \sum b_k \cdot y_{n-k}$$

ここで、第1項の総和は $k=0 \sim M$ に対して行なわれ、第2項の総和は $k=1 \sim N$ に対して実行される。

【0064】すなわち、時刻 $t=nT$ におけるフィルタの出力 y_n は、入力 x_{n-M} から x_n の $(M+1)$ 個の過去および現在の入力と、出力 y_{n-N} から y_{n-1} までの n 個の過去のフィードバックされた出力（係数 b_k が0でない場合）との差分により決定される。

【0065】通常この入力系列 $\{x_n\}$ および出力系列 $\{y_n\}$ は z 変換される。 z 変換により、標本値入力系列 $\{x_n\}$ は、

$$X(z) = \sum x_n \cdot z^{-n}$$

と表現される。総和は $n=0$ から無限大に対して実行される。 z^{-1} は単位遅延演算子と呼ばれる。この z 変換により、出力 $Y(z)$ は、

$$Y(z) = A(z) \cdot X(z)$$

と表現される。 $H(z)$ は伝達関数と呼ばれる。上述の式において、係数 b_k がすべて0の場合には、出力信号 y_n は、過去の出力信号を用いないで決定される。このフィルタ処理を実現するデジタルフィルタは非巡回型デジタルフィルタと呼ばれ、トランスバーサルフィルタ

（遅延素子の各タップ出力の加重和を得る構成）が一般に古くから知られている。

【0066】一方、係数 b_k のうち少なくとも1個0でない係数が存在する場合、すなわち過去の出力が現在の出力に影響を及ぼす場合この構成は巡回型デジタルフィルタと呼ばれる。巡回型フィルタの伝達関数を指数に展開すると、通常は z^{-1} の無限級数で表現される。すなわちインパルス入力に対して出力が無限に続く。このためこの巡回型フィルタを無限インパルス応答フィルタ（IIRフィルタ）と呼ぶ。一方、非巡回型フィルタでは、この伝達関数の級数は有限である。このため非巡回型フィルタは有限インパルス応答フィルタ（FIRフィルタ）と呼ばれる。

【0067】まず、代表的なフィルタの構成について説明し、次にこれを図6に示す命令構造に分解する手順について説明する。まず2次のIIRフィルタを構成する場合について説明する。2次のIIRフィルタは、遅延が2次項までであるフィルタを指す。

【0068】図8は2次IIRフィルタの構成と命令への分解手順を示す図である。図8において、2次IIRフィルタは、縦列接続された加算器101、102、103、および104と、加算器104の出力を係数4で除算する除算器105を含む。IIRフィルタはさらに、加算器102の出力を1サンプリング周期遅延させる遅延回路105と、遅延回路105の出力に所定の係数0.6を乗算して加算器102へ与える乗算器106

12

と、遅延回路105の出力に係数0.7を乗算して加算器103へ与える乗算器107と、遅延回路105の出力をさらに1サンプリング期間遅延させる遅延回路108と、遅延回路108の出力に係数0.5乗算して加算器101へ与える乗算器109と、遅延回路108の出力に係数0.8を乗算して加算器104へ与える乗算器110を含む。

【0069】この図8に示す2次IIRフィルタを、次に図6に示すiir命令に分解する。iir命令は、加算（+）操作、シフト操作、乗算操作（X）、および遅延操作を含む。シフト操作により除算を実行することができる。この図8に示す2次IIRフィルタを加算、シフト、乗算および遅延の単位に分割する。

【0070】すなわち、加算器101、遅延回路108、および乗算器109を、第1のiir命令で表現する。加算器102、遅延回路105、および乗算器106を、第2のiir命令で表現する。加算器103および乗算器107を第3のiir命令で表現する。加算器104、除算器105および乗算器110を第4のiir命令で表現する。この第1ないし第4のiir命令#1～#4をフローグラフで表わすと図9に示す記述が得られる。

【0071】乗算器106、107、109および110の乗算係数はそれぞれの命令におけるC入力へ与えられる定数により表現される。

【0072】図9において、IIRフィルタは、4つの縦列接続されたiir命令#1～#4により表現される。第1のiir命令#1は、A入力に、第2のiir命令#2のF出力を受け、B入力に外部からの入力データを受け、C入力に定数0.5を受け、D入力に定数0を受ける。第1のiir命令#1のA入力には図6に示すA2入力を利用される。

【0073】第2のiir命令#2は、自身のF出力をA入力に受け、第1のiir命令#1のE出力をそのB入力に受け、C入力に定数0.6を受け、D入力に定数0を受ける。第2のiir命令#2はそのA入力として、A2入力を利用する。

【0074】第3のiir命令#3は、そのA入力に第2のiir命令#2のF出力を受け、B入力に第2のiir命令#2のE出力を受け、そのC入力に定数0.7を受け、D入力に定数0を受ける。第3のiir命令#3は、そのA入力としてA1入力を利用する。

【0075】第4のiir命令#4は、そのA入力に、第1のiir命令のF出力を受け、そのB入力に、第3のiir命令#3のE出力を受け、そのC入力に定数0.8を受け、D入力に定数2を受ける。第4のiir命令#4のE出力からフィルタ処理結果が出力される。

【0076】iir命令のD入力は、シフト操作におけるシフトビット数を決定するデータが与えられる。このシフト操作によりデータの割当てが実現される。図8に示

(8)

13

すフィルタ構成においては、除算操作は除算器105においてのみ実行されている。この係数4による除算は、2ビット下位方向へデータをシフトさせることにより実現される。したがって、第4の*iir*命令#4のD入力に対して定数2が与えられる。残りの*iir*命令#1～#3に対しては除算操作は実行されないため、それぞれのD入力へは定数0が与えられる。

【0077】図10は、図9に示すフローグラフをテキスト形式で記述したプログラムを示す図である。図10において右端の番号1～6はプログラム番号を示し、左端の番号0～4はレジスタファイルにおける行番号（エントリー番号）を示す。この行番号はデータの行先を示す行の番号と1対1に対応する。次にプログラムの内容について説明する。

【0078】(1) プログラム番号1の「*initial*」は初期値の宣言を示す。「1 (A2) = 0」は、第1の*iir*命令#1のA2レジスタの格納値、すなわち遅延操作 Z^{-1} の入力初期値が0であることを示している。

【0079】また「2 (A2) = 0」は、第2の*iir*命令#2のA2レジスタの初期値が0であることすなわちその操作(Z^{-1})の初期値が0であることを示す。

【0080】(2) プログラム2の「*input*」は外部からのデータ入力を示す。「1 (B)」はこの入力データを第1の*iir*命令#1に対応する第1行のレジスタBに格納することを示す。

【0081】(3) プログラム番号3の「*iir*」は*iir*命令を示す。*iir* (, , 0.5, 0) は*iir*命令に利用される定数を示す。括弧内の値は、各入力の定数すなわち*iir* (A2, B, C, D)の対応の入力に対する定数を表わす。プログラム番号3のプログラムにおいては以下のことが示される。

【0082】A2入力に対しては定数値は設定されない(変数のみ)。B入力に対しても定数値は設定されない。C入力に対しては定数0.5が設定される。D入力に対しては定数0が設定される。定数値が存在しない場合は「,」のみで示す。すなわち、第1の*iir*命令(プログラム番号1)に対しては、乗算係数として0.5が設定され、またシフトビット数としては0が設定されシフト動作が行なわれず、除算が行なわれないことを示す。

【0083】「2 (B) ! 4 (H)」はこの*iir*命令のデータの行先を示し、括弧の前に付された番号が行先数すなわち、E出力およびF出力の行先を示しており、このE出力とF出力の行先は!により区別される。プログラム番号3においては以下のことが示される。

【0084】2 (B) : E出力は2行目の第2の*iir*命令のB入力へ与えられる。F出力は第4行の第4の*iir*命令のA1入力へ与えられる。

【0085】(4) プログラム番号4については*iir*

14

*r*命令の各定数はプログラム番号3の*iir*命令のそれらと同様である。データ出力先として複数個存在する。すなわち、E出力は第2行のA2入力へ与えられかつ第3行の*iir*命令のB入力へ与えられる。第1ないし第4の*iir*命令はレジスタファイルにおける各行と対応しており、したがって、レジスタファイルの第2行および第3行のA2レジスタおよびBレジスタへこの第2の*iir*命令のE出力が伝達されることを示す。

【0086】F出力は第1の*iir*命令のA2入力および第3の*iir*命令のA1入力へ伝達される。すなわちレジスタファイルにおける第1行および第3行のA2レジスタおよびA1レジスタへこの第2の*iir*命令のF出力が入力される。

【0087】(5) プログラム番号5の*iir*命令についてはその定数およびE出力の定義については上で説明したものと同一である。「*absorb*」は、行先がないことを示す。すなわち第3の*iir*命令のF出力は出力されないことを示す。

【0088】(6) プログラム番号6において*iir*命令の定義およびF出力の行先については上の第3の*iir*命令の場合と同様である。「*output*」はこの第4の*iir*命令のE出力が出力データとして装置外部へ出力されてフィルタ処理結果を示すデータとして利用されることを示す。

【0089】このテキスト形式で記述されたプログラムはレジスタファイルの各行にそれぞれ対応する。すなわち、第1ないし第4の*iir*命令はそれぞれレジスタファイルの第1行ないし第4行のエントリーに対応する。このプログラムに従ってレジスタファイルへのデータの書込および読出が実行される。

【0090】[フィルタ装置の具体的動作] 次に具体的な動作を以下の順序で説明する。

【0091】(a) 動作の規則を説明する。(b) レジスタの状態を実行順序に従って示す。(c) 実行効率を調べ、無駄なオーバーヘッドが生じていないことを実証する、および(d) 複数(4つ)の演算器を持った場合の動作を説明する。

【0092】「基本ルール」

(1) A2レジスタ、A1レジスタおよびBレジスタには初期値が格納される。これらのレジスタA2、A1およびBの格納データは新しく入力されたデータにより更新される。CレジスタおよびDレジスタに格納される定数は更新されない。定数でない場合には新しく与えられる入力データにより更新される。定数でないか否かは*iir*命令により決定される。

【0093】(2) すべてのレジスタの値は1回書込1回読出に限定される。すなわち単一代入単一読出のルールが適用される。ただし定数を除く。

【0094】(3) レジスタA1に格納されたデータと加算シフトを含む演算器の計算結果を複数かつ任意の

(9)

15

行へ書込むことができる（プログラム可能である）。この行先はそれぞれE出力およびF出力としてプログラム（図10参照）時において各命令に対応してプログラムにより指定される。

【0095】(4) 加算シフト複合演算を除く演算の結果は予め定められたレジスタに書込まれる（Xレジスタ）。

【0096】以下に説明する計算の実施例においては第1の演算器群40は1個の乗算器を含み、第2の演算器群50は1個の加算シフト複合演算器を含むと想定する。

【0097】「計算のルール」

(1) 演算は、行番号すなわちプログラム番号にかかわらずデータが揃ったものから順次実行される。

【0098】(2) 演算は、加算シフト、次いで乗算の優先順位で実行される。

(3) 同じ演算に対するデータが同時に揃った場合には行番号の逆順にその演算が実行される。すなわち行番号の大きい方の命令に従った演算が先に実行される。

【0099】(4) A2レジスタからA1レジスタへのデータの移動（遅延の表現）およびF出力におけるデータのコピー（Fレジスタが複数の行先情報を含む場合）は、すべて演算の前に実行される。

(5) 行先が複数存在する場合には、行先がすべて空いていない状態でない限りその演算は実行されない。すなわち演算は、行先が空いておりかつデータが揃った場合に実行される。以下の説明においては加算シフト複合演算のE出力および乗算操作結果のF出力による転送の場合にこのルールが適用される。

【0100】(6) 後の演算が前の演算より優先されることはない（演算順序における追越しは生じない）。

【0101】次にこの図8に示す2次IIRフィルタ処理動作を実行する際のレジスタファイル内のデータの動きについて説明する。

【0102】図11は、レジスタの初期状態と各レジスタと演算器との関係を示す図である。レジスタの初期状態は図10に示すプログラムが書込まれ、内部状態が初期設定された状態を示す。この状態において、CレジスタおよびDレジスタにはそれぞれ定数が書込まれる。A1レジスタおよびCレジスタは乗算器に結合される。BレジスタおよびXレジスタは加算器へ結合され、Dレジスタはシフト回路へ結合される。A1レジスタから読出されたデータはFレジスタに格納された行先情報に従って対応のレジスタへ書込まれる。

【0103】シフト回路すなわち加算シフト複合演算器の出力はEレジスタに格納された行先情報に従って対応のレジスタに書込まれる。この図11において左端に示す番号はレジスタファイルにおける行番号を示しかつ図10に示す各プログラムの行番号と1対1に対応する。

1行かい、4行のF1レジスタにはデータ1 0 0

16

および1が初期値として格納されている。この格納データは単なる一例であり、フィルタ処理動作実行時にはこのA1レジスタに初期設定された値は無効データとして処理される。

【0104】図12は、第1サイクルの動作を示す図である。図12(A)において、第1行のBレジスタへデータ“1”が格納される。この入力動作と並行して、第4行のA1レジスタのデータ“1”を用いた乗算が行なわれ、その乗算結果がXレジスタへ格納される。

【0105】すなわち、図12(b)に示すようにブロック#1の加算器の入力にデータ“1”が与えられ、またブロック#4の加算器の入力にデータ“0.8”が与えられる。

【0106】図13は、第2サイクルの実行動作時におけるレジスタの内容およびそのときのデジタルフィルタにおけるデータの分布状態を示す図である。図13

(A)において、入力部からは新たにデータは与えられず、入力待ち状態となる。第4行のエントリーにおいては、BレジスタとXレジスタにデータが揃ったため、加算シフト動作が実行される。第4行に対応する命令の結果はEレジスタの内容で決定されるレジスタに書込まれる。第4のiir命令のEレジスタには「出力」が指定される。したがって、データ“0.2”が外部に出力される。

【0107】一方、第3行のエントリーにおいては、A1レジスタのデータ“0”とCレジスタのデータ0.7との乗算が実行され、その乗算結果が対応のXレジスタに格納される。

【0108】ここで、図においてレジスタにおいて空欄の部分はその格納データが消費されたことを示す。単一代入単一読出のルールに従ってレジスタファイルへのデータの書込および読出が実行されているため、書込まれかつ読出されたデータは再び利用されないからである。以下の説明においても同様とする。

【0109】この図13(A)に示すデータの状態をデジタルフィルタにおけるデータに対応付けると図13

(B)に示すようになる。すなわち、ブロック#4において、加算器において0と0.8とが加算され次いでシフト操作による除算が行なわれ、0.2が出力される。

【0110】ブロック#3においては、その乗算器において係数0.7と0との乗算が行なわれ、その乗算結果“0”が加算器へ与えられる。乗算操作と加算シフト複合操作は互いに異なる演算器により実行されるため、互いに並列に実行することができる。

【0111】図14は、第3実行サイクルにおけるレジスタの内容およびフィルタにおけるデータの配置を示す図である。図14(a)に示すように、第3のiir命令における加算シフト操作結果が第4行のDレジスタへ書込まれ、一方第2行のiir命令のA1レジスタとCレジスタのデータの乗算が行なわれその乗算結果が第2行

(10)

17

のXレジスタに格納される。

【0112】すなわち図14(B)に示すように、ブロック#2の加算器の入力“0”が確定状態となり、またブロック#4の加算器の入力、すなわちプログラム#3の加算器出力が“0”に確定する。

【0113】図15は、第4実行サイクルにおけるデータレジスタの内容とそのときのデジタルフィルタにおける確定データの分布を示す図である。図15(A)において、第1行のA1レジスタおよびCレジスタに格納されたデータの乗算が行なわれその乗算結果がXレジスタに格納される。すなわち、図15(B)に示すように、ブロック#1における乗算器の乗算結果が確定し、ブロック#1の加算器の入力が確定する。次いで、遅延素子の操作を実現するためにデータのコピーが実行される。

【0114】図15(A)において、第2行のBレジスタおよびXレジスタのデータは確定している。したがって、第1行のA1レジスタとCレジスタの乗算と並行して加算されたシフト操作を実行できるように思われる。しかしながらこの場合計算ルールにおいて後からの演算は前の演算よりも優先されないというルールに従って、この第2行のBレジスタとXレジスタのデータの加算およびシフト動作は行なわれない。

【0115】図16は、遅延操作を実現する際のレジスタのデータの動きを示す図である。図16(A)において、まず第1行のA2レジスタのデータ“0”が第1行および第4行のA1レジスタへコピーされる。これにより、ブロック#1に含まれる遅延素子の操作が実現される。

【0116】図16(B)において、次いで第2行のA2レジスタのデータが第1行のA2レジスタと、第2行および第3行のA1レジスタへコピーされる。これによりブロック#2における遅延素子の遅延操作が実現される。デジタルフィルタにおける各乗算器の入力が確定する。

【0117】図16(C)において、第2行のBレジスタおよびXレジスタのデータに対し加算シフト演算が実行され、この演算結果は第2行のA2レジスタおよび第3行のBレジスタへ格納される。これは、ブロック#2において加算が行なわれ、その加算結果が遅延素子入力およびブロック#3の加算器入力へ与えられて確定状態となったことを示す。

【0118】図17は、図16に示す動作に続く操作におけるデータレジスタにおけるデータの配置を示す図である。図17(A)において、第4行のA1レジスタおよびCレジスタのデータの乗算が行なわれその乗算結果がXレジスタに格納される。これはブロック#4における乗算器の出力が確定した状態に対応する。

【0119】図17(B)に示すように、上述のコピー動作、加算およびシフト演算操作、および乗算操作を順

18

ジスタおよび第4行のXレジスタのデータが確定した状態となる。すなわち、上述の操作を実行することにより図17(C)に示すごとくブロック#3における加算器の入力およびブロック#4における乗算器出力が確定した状態となる。この上述のコピー動作は常に遅延操作を実行する場合行なわれる。以下の説明においてはこの図16(A)ないし図17(A)に示す操作は省略し、図17(B)に示す最終状態のみを示す。

【0120】図18は、第6実行サイクルにおけるデータのデータレジスタにおける配置およびデジタルフィルタにおける確定データの状態を示す図である。図18(A)に示すように、第3行のA1レジスタおよびCレジスタの乗算が行なわれその乗算結果が第3行のXレジスタに書込まれる。この乗算操作と並行して、第4行のBレジスタおよびXレジスタを用いた加算シフト演算操作が実行され、その演算結果のデータ“0”が出力データとして出力される。

【0121】図19は、第7実行サイクル時におけるレジスタファイルにおけるデータの配置およびデジタルフィルタにおける対応のデータの配置状態を示す図である。図19(A)に示すように、第2行のA1レジスタとCレジスタのデータを用いた乗算が行なわれ、該乗算結果がXレジスタに格納される。この乗算操作と並行して、第3行のBレジスタとXレジスタの加算およびシフト演算操作が実行され、この演算操作結果が第4行のBレジスタに格納される。

【0122】すなわち図19(B)に示すように、ブロック#2における加算器の入力すなわち乗算器の出力が確定しかつブロック#4の加算器の入力すなわちブロック#3の出力が確定状態となる。

【0123】図20は第8実行サイクルにおけるデータレジスタにおけるデータの配置およびそのときのデジタルフィルタにおけるデータの配置形態を示す図である。図20(A)において次の入力データ“2”が第1行のBレジスタへ格納される。この格納と並行して、第1行のA1レジスタとCレジスタとの乗算が実行されその乗算結果が第1行のXレジスタへ書込まれる。また同時に第1行のBレジスタとXレジスタのデータに対する加算シフト操作が実行され、その演算操作結果が第2行のBレジスタへ格納される。すなわち、第1行のデータレジスタに対し乗算操作と加算およびシフト演算操作が行なわれかつ新しい入力データの格納が実行される。

【0124】すなわち、図20(B)に示すようにブロック#1の加算器の出力すなわちブロック#2の加算器の入力が確定しかつブロック#1の乗算器の出力が確定する。以降、この新しい入力データ“2”を用いて同様の動作が繰り返される。

【0125】図21は、第9実行サイクルにおけるデータのデータレジスタにおける配置を示す図である。図21において、第2行のBレジスタおよびXレジスタのデ

(11)

19

ータを用いた加算シフト演算操作が実行され、この結果が第3行のBレジスタおよび第2項のA2レジスタへ格納される。次いで第2行の命令実行前に遅延素子の遅延操作が実行される。すなわち、A2レジスタの格納データのA1レジスタへの転送が実行される。具体的には、第1行のA1レジスタの内容が第1行および第4行のA1レジスタへ転送され、第2行のA2レジスタの内容が第1行のA2レジスタ、第2行および第3行のA1レジスタへ転送される。この転送操作実行後上述の加算シフト複合演算操作が実行される。この加算シフト演算操作と並行して、第4行のA1レジスタとCレジスタの乗算が実行され、その乗算結果が第4行のXレジスタに格納される。

【0126】図22は第10実行サイクルにおけるデータレジスタにおけるデータの配置を示す図である。図22において、第3行のA1レジスタとCレジスタの格納データの乗算が行なわれその乗算結果が第3行のXレジスタに格納される。この乗算操作と並行して、第4行のBレジスタとXレジスタの格納データに対する加算およびシフト演算操作が実行され、その複合演算操作結果が出力データとして出力される。

【0127】図23は、第11実行動作サイクルにおけるデータレジスタにおけるデータの配置を示す図である。図23において、第2行のA1レジスタとCレジスタの格納データの乗算が行なわれ該乗算結果が第2行のXレジスタに格納される。この乗算操作と並行して、第3行のBレジスタおよびXレジスタの格納データに対する加算およびシフト演算操作が実行され、その演算結果が第4行のBレジスタに格納される。

【0128】図24は第12実行サイクルにおけるデータレジスタ内のデータの配置を示す図である。図24において、新たに第1行のDレジスタに次のデータ“3”が入力される。このデータの入力と並行して、第1行のA1レジスタとCレジスタの格納データに対する乗算が行なわれその乗算結果が第1行のXレジスタに格納される。またこの入力および乗算操作と並行して、第1行のBレジスタおよびXレジスタに格納されたデータに対する加算およびシフト複合演算操作が実行され、その演算結果が第2行のBレジスタへ格納される。このとき、第1のiir命令における「4(A1)」の操作は、先の図21に示すコピー動作により実行されている。

【0129】図25は第13実行サイクルにおけるデータレジスタにおけるデータの配置を示す図である。第12実行サイクルにおいて第1ないし第4行のA1レジスタのデータはすべて消費されている。このため、A2レジスタからA1レジスタへのデータ転送(コピー動作)が実行される。これにより遅延素子による遅延操作が実現される。コピー操作後、第4行のデータ(“0”)と第4行のCレジスタとの乗算が行なわれその乗算結果が第4行のXレジスタへ格納される。この乗算操作と並行

20

して、第2行のBレジスタおよびXレジスタの格納データによる加算およびシフト演算操作が実行され、その演算操作結果は第3行のBレジスタおよび第2行のA2レジスタへ格納される。

【0130】図26は、第14実行サイクル完了後のデータレジスタにおけるデータの配置を示す図である。第4行のBレジスタおよびXレジスタの格納データに対し加算およびシフト演算操作が実行され、その演算操作結果が出力データとして出力される。この加算シフト演算操作と並行して、第3行のA1レジスタおよびCレジスタの格納データを利用した乗算が実行され、該乗算結果がXレジスタへ格納される。

【0131】図27(A)は第15実行サイクル完了後のデータレジスタにおけるデータの配置を示す図である。図27(A)において、第2行のA1レジスタとCレジスタの格納データによる乗算が行なわれこの乗算結果が第2行のXレジスタへ格納される。この乗算操作と並行して、第3行のBレジスタおよびXレジスタの格納データによる加算およびシフト演算操作が実行され、その演算操作結果が第4行のBレジスタへ格納される。この加算およびシフト演算操作と並行して、第2行のA1レジスタとCレジスタの格納データによる乗算が行なわれ該乗算結果が第2行のXレジスタに格納される。

【0132】図27(B)は、第16実行サイクル完了時におけるデータレジスタ内のデータの配置を示す図である。図27(B)において、まず第1行のBレジスタおよびXレジスタの格納データを用いて加算およびシフト演算操作が実行されその演算操作結果が第2行のBレジスタへ書込まれる。次いで第1行のA1レジスタおよびCレジスタの格納データによる乗算が実行されその乗算結果が第1行のXレジスタ内へ格納される。このXレジスタ内へのデータ格納と並行またはその完了後に新しい入力データ“4”が第1行のBレジスタへ格納される。以降上述の動作が繰り返し実行される。すなわち、第1行のA1レジスタの格納データが2回消費された(読出される)ときに第1行のBレジスタへ新しい入力データが格納される。第1行ないし第4行のA1レジスタのデータがすべて一度消費された場合A2レジスタからのデータのコピーが実行される。

【0133】上述の動作において、各エントリー(行)において所望のデータが揃ったときに演算が実行される。この演算データが揃ったか否かの判別は、各データレジスタに対する書込制御回路が書込を行なったことを検出することにより行なわれる。必要な2つのデータレジスタへの書込が行なわれたときにデータの読出が行なわれ所望の演算が実行される。複数の行において同一演算に対して同時にデータが確定した場合には優先順位(行番号の大きい方)に従って演算が実行される。

【0134】この構成としては以下の構成が考えられる。各レジスタに対応して読出/書込制御回路を設け、

(12)

21

この書込／読出制御回路の制御の下に演算器へのデータの伝送および所望データの揃ったことの検出を行なう。どのレジスタへデータを書込むかはEレジスタおよびFレジスタにプログラムされたデータにより決定される。したがってこのプログラムされたデータに従って、書込制御回路が対応のデータレジスタへのデータの書込を実行する。この場合においても、各レジスタに対応して読出制御回路が設けられ、この読出制御回路がEレジスタからの行先情報が自己に割当てられたアドレス（レジスタ位置指定情報）と一致した場合に与えられたデータを書込む。この場合、読出制御回路はデータ読出時において対応のEレジスタまたはFレジスタの内容を読出す構成となる。すなわち、IIR命令実行時においては、A1レジスタとCレジスタの内容を読出す場合にはEレジスタの内容も同時に読出され、BレジスタとXレジスタの内容を読出す場合にはFレジスタの内容が同時に読出される。乗算結果の格納は、固定的に定められており、乗算のために選択されたエントリーを指定する情報と同じエントリーのXレジスタが書込可能状態とされデータが書込まれる。

【0135】上述の動作および計算ルール等は、図2に示すシーケンスコントローラSCおよび読出／書込制御部RWCにより実現される。

【0136】図28は、上述の実行サイクル2ないし実行サイクル16における各演算器の稼動状況を示す図である。図28において、○は稼動状態を示し、空白状態はデータ待ち状態すなわち演算器のアイドル状態を示す。

【0137】図28から明らかなように、サイクル5ないし16において、乗算器および加算シフト複合演算器はすべて駆動状態となっており初期動作時を除く安定状態時には演算器が100%動作するフル稼動状態が得られている。すなわち、各動作サイクルにおいて演算器が駆動されており命令実行待ちによるオーバーヘッドは生じず、高速でフィルタ処理を実行することが可能となる。

【0138】上述のフィルタ処理は乗算器1つおよび加算およびシフト複合演算器1つを用いてフィルタ処理を実現している。次に4つの演算器、すなわち4つの乗算器および4つの加算シフト複合演算器を用いてフィルタ処理を行なう場合の動作について説明する。

【0139】図29は4つの演算器によりフィルタ処理する際のデータレジスタにおけるデータの配置を示す図である。図29(A)において、先の図12の場合と同様の状態が初期設定される。図29(A)においては入力データ“1”が第1行のBレジスタに格納された状態が示される。この状態においては、図29(B)に示すようにブロック#1～#4の加算器の入力がそれぞれ初期設定された状態となっており、また乗算器の入力も初期設定された状態となっている。以下の説明において

22

は、演算器のふるまいを観察するために、1サイクルの動作を加算シフト複合演算器を示す状態(a)と乗算器を示す状態(b)の2つに分割して観察する。

【0140】図30は、第1の実行サイクルにおけるデータレジスタにおけるデータの配置およびデジタルフィルタにおけるデータの分布状態を示す図である。図30(A)に示すように、第1の実行サイクルにおいては、第1行ないし第4行のA1レジスタとCレジスタの乗算操作が並列に実行され、その乗算結果が対応のXレジスタへ格納される。シフトおよび加算演算操作はXレジスタに確定データが存在していないため実行されない。

【0141】この状態は図30(B)に示すように、各ブロック#1～#4の乗算器において並列に乗算が実行されその乗算結果が確定した状態を示す。

【0142】図31は、第2の実行サイクルにおけるデータレジスタ内のデータの配置およびそのときのデジタルフィルタにおけるデータの状態を示す図である。A1レジスタのデータがすべて消費された状態において、A2レジスタからA1レジスタへのコピー動作が実行される。すなわち、図31(A)に示すようにまず第1行のA2レジスタの格納データが第1行および第4行のA1レジスタへ格納される。次いで図31(B)に示すように第2行のA2レジスタに格納されているデータが第1行のA2レジスタ、第2行および第3行のA1レジスタへ転送される。このときまた、第1行のBレジスタおよびXレジスタの格納データによる加算およびシフト操作が実行される。

【0143】図32は図31に示す動作サイクルの次に実行される状態を示す図である。図32(A)において、コピー動作完了後、第1行ないし第4行のBレジスタおよびXレジスタの内容がそれぞれ対応の加算シフト演算器に転送される。この演算結果が対応のEレジスタが示す行先情報に格納される。第1行のBレジスタおよびXレジスタの加算およびシフト結果は第2行のBレジスタへ格納される。第2行のBレジスタおよびXレジスタの演算結果は第3行のBレジスタおよび第2行のA2レジスタへ格納される。第3行のBレジスタおよびXレジスタの格納データの加算およびシフト演算結果は第4行のBレジスタへ格納される。第4行のBレジスタおよびXレジスタの演算結果は出力データとして出力される。この場合、Bレジスタに対しては、それぞれの行番号が1つ大きい行番号へ演算結果の書込が行なわれる。第2行に対する演算結果に対してのみ第2行のA2レジスタへもデータが書込まれる。

【0144】このときまた第1行のBレジスタへ次の入力データ(“2”)が書込まれる。この状態により図32(B)に示すように各ブロック#1～#4の加算器の入力が確定状態となりかつ第2行のA2レジスタの内容が確定状態となる。

【0145】図33はこの加算およびシフト演算操作完

(13)

23

了後のデータレジスタ内のデータの配置を示す図である。図33(A)に示すようにA1レジスタの格納データとBレジスタの格納データとの乗算が行なわれその乗算結果がXレジスタへ格納される。これにより図33

(B)に示すように各ブロック#1、#2、#3、および#4の乗算器の出力がすべて“0”の確定状態となる。ここで、演算は、加算およびシフト演算が乗算よりも先に行なわれる計算ルールが適用されていることを想起されたい。

【0146】図34は第3実行サイクル状態完了時のデータレジスタ内のデータの配置およびデジタルフィルタ内のデータの状態を示す図である。図34(A)は加算およびシフト演算操作実行完了時のデータレジスタ内のデータの配置を示し、図34(B)は乗算操作完了後のデータレジスタ内のデータの配置を示す。図34(A)には、A2レジスタからA1レジスタへの図31に示すコピー動作および加算およびシフト演算操作完了後の状態が示される。この状態においてはまた新たに第1行のBレジスタへ入力データ“3”が書込まれる。BレジスタとXレジスタのデータを用いて加算およびシフト演算操作が実行され、出力データが出力される。

【0147】図34(B)においては、A1レジスタの格納データとCレジスタの格納データとの乗算が実行されその乗算結果がXレジスタに格納される。

【0148】上述の動作を実行することにより、図34(C)に示すように出力データ“0”が得られ、各ブロック#1～#4の加算器の入力も確定状態となる。なおこの図35(A)においても、BレジスタおよびXレジスタのデータによる加算およびシフト演算操作が実行されかつA2レジスタからA1レジスタへのデータのコピー動作も実行されている。コピー動作完了後に加算およびシフト演算操作が実行される。この図35(A)の状態完了後図35(B)に示す乗算が実行される。以降この動作を繰り返す。

【0149】上述の乗算を並列に実行する構成の場合、各レジスタからは並列にデータが読出されかつ並列にデータが書込まれる。この場合、その各レジスタにおいて先のデータの書込完了後にデータの読出が行なわれ、データの読出は有効データの書込完了後でない限り実行されない。

【0150】図36はこの4つの演算器すなわち4つの乗算と4つの加算およびシフト複合演算器を用いた場合の各演算器の稼動状態を示す図である。図36において、乗算はXで示し、加算およびシフト演算操作は「+shift」で示す。それぞれにおいて、○は演算器が稼動状態にある状態を示し、空白部分は非稼動状態すなわちデータ入力待合わせ状態を示す。図36から明らかなように、実行サイクル2ないし4においては、演算器がすべて稼動状態となっており、高速でフィルタ処理する。レがわかス

24

【0151】[4次FIRフィルタのプログラム実施例]次に、代表的なフィルタ構成例として4次のFIRフィルタについて考察する。

【0152】図37は4次のFIRデジタルフィルタの構成を示す図である。図37に示す4次FIRデジタルフィルタは、転置型トランスバースアルフィルタとも呼ばれる。図37において、FIRフィルタは、入力データと所定の乗算係数とを乗算する乗算回路201、202、203および204と、加算回路205、206、207および208と、遅延器209、210および211と除算器212を含む。乗算回路201～204は互いに並列に配置される。加算器と遅延器とは交互に配置される。

【0153】加算器205は乗算器201の出力とデータ0とを加算する。遅延回路209は加算器205の出力を所定期間(1サンプル周期)遅延する。加算器206は、乗算器202の出力と遅延器209の出力を加算する。遅延器210は、加算器216の出力を所定期間(1サンプル周期)遅延する。加算器207は遅延器210の出力と乗算器203の出力を加算する。遅延器201は加算器207の出力を所定期間遅延する。加算器208は乗算器204の出力と遅延器211の出力とを加算する。除算器212は加算器208の出力を係数4で除算し出力データを生成する。

【0154】図37に示すFIRフィルタでは同一構成が縦続接続される。このFIRフィルタをfir命令に従ってブロックに分割する。fir命令は、4入力2出力命令であるが、その内部構造として乗算操作、加算操作、シフト操作および遅延操作を含む。したがってこの図37に示すFIRフィルタを乗算器、加算器および遅延素子を含む1つのブロックを単位として分割する。FIRデジタルフィルタはブロック#1～#4に分割され、各ブロック#1～#4がそれぞれfir命令で表現される。

【0155】図38はこのデジタルフィルタをfir命令で記述した場合のフローグラフを示す図である。図38において、第1のfir命令#1は、A入力に定数0を受け、B入力に入力データを受け、C入力に定数0.1を受け、D入力に定数0を受ける。第2のfir命令#2は、A入力に第1のfir命令#1のF出力を受け、B入力に入力データを受け、C入力に定数0.2を受け、D入力に定数0を受ける。第3のfir命令#3は、A入力に第2のfir命令#1のF出力を受け、B入力に入力データを受け、C入力に定数0.3を受け、D入力に定数0を受ける。第4のfir命令#4は、A入力に第3のfir命令#3のF出力を受け、B入力に入力データを受け、C入力に定数0.4を受け、D入力に定数2を受ける。第4のfir命令#4のF出力からデータ処理後の出力データが出力される。

【0156】図39は図38に示すフローグラフをテキ

(14)

25

スト形式で記述したプログラムを示す図である。以下図39を参照してこのプログラムについて説明する。

【0157】図39において左端の番号は行番号を示し、レジスタファイルにおけるエントリーの行に1対1に対応する。図39のプログラムの右端の番号はプログラム番号を示す。

【0158】プログラム1：プログラム1の「initial」は初期値の宣言を示す。「2(A)=0」は第2行のレジスタAの格納データを「0」に初期設定することを示す。すなわち第2のfir命令#2のA入力、すなわち加算器の入力初期値が「0」であることを示す。同様に「3(A)=4(A)=0」は第3および第4のfir命令#3および#4のA入力、すなわちその加算器の入力値が「0」に初期設定されることを示す。

【0159】プログラム2：「input」は外部からのデータの入力を示す。「1(B), 2(B), 3(B), 4(B)」は、この入力データが、第1ないし第4のfir命令のB入力へ与えられることを示す。すなわち、レジスタファイルにおいて第1ないし第4行のBレジスタに外部からの入力データが格納されることを示す。

【0160】プログラム3：「fir」はfir命令を示す。「fir(0, , 0.1, 0)」はこのfir命令における定数を示す。括弧内の値は入力の定数、すなわちfir(A, B, C, D)における入力A、B、CおよびDのそれぞれの定数を表わす。このプログラム番号3のfir命令においては、Aの定数値が0、Bへは定数値でなく変数が与えられ、C入力の定数値が0.5に設定され、Dの定数値が0に設定される。レジスタファイルにおいては、定数は変更されない。複数回読出が可能である。B入力には入力データが与えられ、このデータを格納するレジスタBにおいては単一代入単一読出のルールが適用される。

【0161】「absorb!2(A)」はE出力およびF出力の行先を示す。この場合、「absorb」はE出力はどの命令へも伝達されないことを示し、F出力が第2のfir命令のA入力へ与えられることを示す。すなわちレジスタファイルにおいて第2行のAレジスタへ格納されることを示す。E出力とF出力とは「!」で区別される。

【0162】プログラム4、5：命令firの定数の定義は上で示したプログラム3のそれと同じであり、その行先についてもプログラム3の場合と同じである。すなわち、第2のfir命令のF出力は第3のfir命令のA入力へ与えられ、第3のfir命令のF出力は第4のfir命令のA入力へ与えられる。

【0163】プログラム6：fir命令の定数については上と同じである。出力における「output」はこの第4のfir命令のF出力が装置外部へ出力され、出力データとして利用されることを示す。

26

【0164】[FIRフィルタ操作の具体的動作] FIRフィルタ処理の場合においても以下のルールが適用される。

【0165】[基本ルール] 第1行のエントリーのAレジスタには定数が格納される。第2行ないし第4行のAレジスタの値は初期値であり、新たに与えられるデータにより更新される。また第1ないし第4行のCレジスタおよびDレジスタの格納値は定数であるため、これらのデータは更新されない。

【0166】定数以外のデータには、すべてのレジスタにおいて1回書込／1回読出すなわち単一代入単一読出のルールが適用される。

【0167】Eレジスタに格納される行先情報およびFレジスタに格納される行先情報により、複数かつ任意の行先レジスタを指定することができる（プログラム可能である）。このFIRフィルタ処理においてはBレジスタの格納データはEレジスタの行先情報により指定された行先へ伝達されるが、この場合「absorb」であるため出力されない。シフト操作結果は、Fレジスタに格納された行先情報が特定するレジスタへ伝達される。

【0168】乗算を行なう演算器が1つ、および加算およびシフトを含む演算器が1つ存在する。

【0169】[計算ルール] iir命令の場合と同様である。すなわち、

(1) 演算は行番号にかかわらず必要データが揃ったものから順次実行される。

【0170】(2) 演算は加算およびシフトが乗算よりも優先的に実行される。

(3) 同一の演算に対しデータが同時に揃った場合には、行番号の逆順、すなわち大きい行番号の命令に対する操作が実行される。

【0171】(4) 加算およびシフト複合演算においてFレジスタが複数の行先を指定する場合、行先のレジスタがすべて空状態でない限りその演算は実行されない。

【0172】(5) 後からの演算が前の演算より優先されることはない（演算の追越しは生じない）。

【0173】次に具体的動作について説明する。

(0) 初期設定

図40はレジスタファイルにおける各レジスタの初期状態と演算器との接続関係およびそのときのFIRデジタルフィルタにおけるデータの配置を示す図である。

【0174】図40(A)において、初期状態においては、第1行ないし第4行のCレジスタには乗算係数が定数データとして格納され、また第1行ないし第4行のDレジスタにはシフト操作におけるシフトビット数を示すためのデータが定数データとして格納される。

【0175】FIRフィルタ処理においては、Bレジスタの格納データとCレジスタの格納データとが乗算器へ与えられ、乗算操作を受ける。AレジスタとXレジスタ

(15)

27

のデータが加算操作を受け、次いでシフト操作を受ける。乗算操作の結果はXレジスタへ格納される。加算およびシフト操作の演算結果はFレジスタに格納された行先情報が特定するレジスタへ書込まれる。

【0176】図40(B)に示すように、初期状態においては、乗算器における乗算係数(フィルタ係数)が設定されかつブロック#4における除算器の除算係数が初期設定される。係数4で除算をするため、シフト操作で2ビット下位ビット方向へデータがシフトされる。

【0177】Aレジスタに格納されたデータはそれぞれ加算器の一方入力のデータを与える。ブロック#1における加算器の一方入力は定数“0”に固定される。

【0178】(1) 実行サイクル1

図41は実行サイクル1における各レジスタのデータの配置およびそのときのデジタルフィルタにおけるデータの配置を示す図である。この実行サイクル1(実行状態1)においては、外部から入力データ“1”が与えられ、第1行ないし第4行のBレジスタにこの入力データが格納される。この状態においては、図41(B)に示すように、乗算器の入力が確定した状態となる。

【0179】(2) 実行サイクル2

図42は実行サイクル2(実行状態2)のレジスタファイルにおける各レジスタのデータの配置およびそのときのレジスタフィルタのデータの分布を示す図である。

【0180】この実行サイクル2においてはまず第4行のBレジスタの格納データとCレジスタの格納データの乗算が実行される。乗算に必要なデータが揃いつ一番番号の大きい行に対する乗算が実行される計算ルールに従っている。この乗算結果は第4行のXレジスタに格納される。すなわち、図42(B)に示すように、ブロック#4において乗算器の出力が確定状態となる。

【0181】(3) 実行サイクル3

図43は実行サイクル3(実行状態3)におけるレジスタのデータの配置およびそのときのフィルタにおけるデータの分布を示す図である。実行サイクル3においては、まず第4行のエントリーにおいて、AレジスタおよびXレジスタのデータが揃ったためこれらのデータを用いて加算およびシフト演算操作が実行される。この加算およびシフト演算操作により出力データが生成される。この加算およびシフト演算操作と平行して、第3行のBレジスタの格納データとCレジスタの格納データとの乗算が実行され、その乗算結果が第3行のXレジスタに格納される。すなわち、図43(B)に示すように、ブロック#4において、加算および除算が実行され、出力データ“0.1”が生成される。これと並行して、ブロック#3において、乗算が実行され、その乗算結果“0.3”がXレジスタに格納される。

【0182】(4) 実行サイクル4

図44は実行サイクル4(実行状態4)におけるレジスタファイルのデータの格納状態およびデジタルフィルタ

28

のデータの分布を示す図である。図44(A)に示すように、第2行のBレジスタの格納データとCレジスタの格納データとの乗算が実行され、その乗算結果が第2行のXレジスタ格納される。この乗算操作と並行して、第3行のAレジスタおよびXレジスタのデータを用いて加算およびシフト演算操作が実行され、その演算結果が第4行のAレジスタに格納される。

【0183】すなわち、図44(B)に示すように、ブロック#3における加算および遅延が実行される。

【0184】i i r命令の場合、遅延操作はレジスタ間のデータ転送により実現される。このf i r命令においては、遅延操作は、前段のブロックの加算およびシフト操作が1サイクル遅れて実行されているため、等価的に表現されていることになる。

【0185】同様に、ブロック#2において、乗算が実行されており、その乗算器の出力が確定状態となる。

【0186】(5) 実行サイクル5

図45は実行サイクル5(実行状態5)の完了後のレジスタファイルにおける各レジスタの格納データおよびそのときのデジタルフィルタのデータの分布を示す図である。

【0187】図45(A)に示すように、まず第1行のBレジスタとAレジスタ、Cレジスタの格納データを用いて乗算が実行され、その乗算結果が第1行のXレジスタに格納される。この乗算と並行して、第2行のAレジスタとXレジスタの格納データを用いた加算およびシフト演算操作が実行され、その演算操作結果が第3行のAレジスタに格納される。

【0188】この乗算および加算・シフト演算操作と並行して、第1行ないし第4行のBレジスタに新たな入力データ“2”が格納される。

【0189】すなわち図45(B)に示すように、ブロック#1において乗算器の出力が確定し、またブロック#2において、その遅延素子の出力が確定状態となり、かつさらにブロック#1～#4の乗算器の入力が確定状態となる。

【0190】(6) 実行サイクル6

図46は実行サイクル6(実行状態6)における各レジスタ格納データおよびそのときのデジタルフィルタにおけるデータの分布を示す図である。図46(A)に示すように、第4行のBレジスタとCレジスタの格納データを用いて乗算が実行され、その乗算結果が第4行のXレジスタに格納される。この乗算操作と並行して、第1行のAレジスタとXレジスタの格納データを用いて加算およびシフト演算操作が実行され、その演算結果が第2行のAレジスタに格納される。

【0191】すなわち、図46(B)に示すように、ブロック#1の遅延素子の出力が新たに確定状態となり、またブロック#4において、乗算器の出力が確定状態となる。

(16)

29

【0192】(7) 実行サイクル7

図47は実行サイクル7における各レジスタの格納データおよびそのときのデジタルフィルタにおけるデータの分布を示す図である。図47(A)に示すように、第4行のAレジスタとXレジスタの格納データを用いて加算およびシフト演算が実行され、その演算結果が出力データとして出力される。

【0193】この加算およびシフト演算操作と並行して、第3行のBレジスタとCレジスタの格納データを用いて乗算が実行され、その乗算結果が第3行のXレジスタに格納される。

【0194】すなわち、図47(B)に示すように、ブロック#3において乗算器の出力が確定し、またブロック#4において加算および除算が実行され出力データが生成される。

【0195】(8) 実行サイクル8

図48は実行サイクル8(実行状態8)のレジスタファイルの各レジスタの格納データおよびそのときのデジタルフィルタにおけるデータの分布を示す図である。

【0196】図48(A)に示すように、第3行のAレジスタおよびXレジスタの格納データを用いて加算およびシフト演算操作が実行され、その演算結果が第4行のAレジスタに格納される。この加算およびシフト演算操作と並行して、第2行のBレジスタおよびCレジスタの格納データを用いて乗算が実行され、その乗算結果が第2行のXレジスタに格納される。

【0197】すなわち図48(B)に示すように、ブロック#2において乗算器の出力データが確定し、またブロック#3において、遅延素子の出力データが確定する。

【0198】(9) 実行サイクル9

図49は実行サイクル9(実行状態9)の各レジスタの格納データおよびそのときのデジタルフィルタにおけるデータの分布を示す図である。図49(A)に示すように、第1行のBレジスタおよびCレジスタの格納データを用いて乗算が実行され、その乗算結果が第1行のXレジスタに格納される。また、第2行のAレジスタとXレジスタの格納データを用いて加算およびシフト演算が実行され、その演算結果が第3行のAレジスタに格納される。これらの演算と並行して、第1行ないし第4行のBレジスタに次の入力データが格納される。すなわち、図49(B)に示すように、ブロック#1において乗算器のデータが確定し、ブロック#2の遅延素子の出力データが確定し、またブロック#1~#4の乗算器の入力が確定状態となる。

【0199】(10) 実行サイクル10

図50は実行サイクル10(実行状態10)のレジスタの格納データおよびそのときのデジタルフィルタのデータの分布を示す図である。図50(A)に示すように、まず第4行のBレジスタおよびCレジスタの格納データ

30

を用いた乗算が実行され、その乗算結果が第4行のXレジスタに格納される。

【0200】また第1行のAレジスタおよびXレジスタの格納データを用いて加算およびシフト演算が実行され、その演算結果が第2行のAレジスタに格納される。

【0201】すなわち図50(B)に示すように、ブロック#1の遅延素子の出力データが確定状態となり、またブロック#4の乗算器の出力データが確定状態となる。

【0202】(11) 実行サイクル11

図51は実行サイクル11(実行状態11)の各レジスタの格納データおよびそのときのデジタルフィルタにおけるデータの分布を示す図である。図51(A)に示すように、まず第4行のAレジスタおよびXレジスタの格納データを用いて加算およびシフト演算が実行され、その演算結果が出力データとして出力される。この加算およびシフト演算と並行して、第3行のBレジスタとCレジスタの格納データを用いた乗算が実行され、その乗算結果が第3行のXレジスタに格納される。

【0203】すなわち、ブロック#3における乗算器の出力データが確定状態となり、またブロック#4から出力データが出力される。

【0204】(12) 実行サイクル12

図52は実行サイクル12(実行状態12)におけるレジスタの格納データおよびデジタルフィルタにおけるデータの分布を示す図である。図52(A)に示すように、まず第2行のBレジスタおよびCレジスタの格納データを用いて乗算が実行され、その乗算結果が第2行のXレジスタに格納される。この乗算操作と並行して、第3行のAレジスタおよびXレジスタを用いて加算およびシフト操作が実行され、その演算結果が第4行のAレジスタに格納される。

【0205】すなわち図52(B)に示すように、ブロック#2における乗算器の出力が確定し、またブロック#3の遅延素子の出力が確定状態となる。

【0206】(13) 実行サイクル13

図53は実行サイクル13(実行状態13)における各レジスタの格納データおよびそのときのデジタルフィルタにおけるデータの分布を示す図である。図53(A)において、第1行のBレジスタおよびCレジスタの格納データを用いて乗算が実行され、その乗算結果が第1行のXレジスタに格納される。この乗算と並行して、第2行のAレジスタおよびXレジスタの格納データを用いて加算およびシフト演算が実行され、その演算結果が第3行のAレジスタに格納される。これらの演算と並行して、第1行ないし第4行のB入力に新たな入力データが格納される。

【0207】すなわち図53(B)に示すようにブロック#1~#4の乗算器の入力が確定状態となり、またブロック#1の乗算器の出力が確定し、またブロック#2

(17)

31

の遅延素子の出力が確定状態となる。

【0208】(14) 実行サイクル14

図54は、実行サイクル14（実行状態14）におけるレジスタの格納データおよびそのときのデジタルフィルタのデータの分布を示す図である。図54（A）において、第4行のBレジスタおよびCレジスタの格納データを用いて乗算が実行され、その乗算結果が第4行のXレジスタに格納される。この乗算と並行して、第1行のAレジスタおよびXレジスタの格納データを用いて加算およびシフト演算が実行され、その演算結果が第2行のAレジスタに格納される。

【0209】すなわち図54（B）に示すように、ブロック#1の遅延素子の出力が確定状態となり、またブロック#4の乗算器の出力が確定状態となる。

【0210】(15) 実行サイクル15

図55は実行サイクル15（実行状態15）におけるレジスタの格納データおよびそのときのデジタルフィルタにおけるデータの分布を示す図である。図55（A）において、まず第4行のAレジスタおよびXレジスタの格納データを用いて加算およびシフト演算が実行され、その演算結果は出力データとして出力される。この加算およびシフト演算と並行して、第3行のBレジスタとCレジスタの格納データを用いて乗算が実行され、その乗算結果が第3行のXレジスタに格納される。

【0211】すなわち図55（B）に示すように、#4から出力データが生成されて出力され、かつブロック#3において乗算器の出力が確定状態となる。

【0212】上述のように、1つの乗算器と1つの加算およびシフト演算器を用いる構成においては、行番号の大きいエントリーのデータを用いてまず乗算が実行され、次いで加算およびシフト演算が実行される。この操作を、加算およびシフト演算操作を乗算操作と並行に実行し、Bレジスタに格納されるデータがすべて消費されるまで順次実行する。これにより、FIRフィルタ処理を高速で実行することができる。

【0213】図56は前述のサイクル2ないし16における各演算器の稼動状況を示す図である。図56において○印は稼動状態を示し、空白はデータ待ち状態を示す。図56に示されるように、第4サイクルないし第16サイクルにおいて乗算器（X）および加算およびシフト複合演算器（+shift）はすべて稼動状態にあり、初期動作時を除く安定時には演算器は100%のフル稼動状態となっており、命令実行のオーバーヘッドなく高速でフィルタ処理が行なわれているのが見られる。

【0214】上述の説明においては、1個の乗算器および1個の加算シフト演算器が利用されている。この場合4個の乗算器および4個の加算シフト演算器を用いてフィルタ処理を実行することができる。以下この場合の構成について説明する

32

【0215】(0) 初期状態

図57は、4個の乗算器と、4個の加算およびシフト演算器を用いた場合の各レジスタの初期状態を示す図である。初期状態においては、第1行ないし第4行のBレジスタに入力データが格納される。またこのとき、CレジスタおよびDレジスタにおいて乗算係数およびシフト係数が定数データとして初期設定される。さらに、Aレジスタにおいては、その初期値が設定される。

【0216】(1) 実行サイクル1

図58は実行サイクル1におけるレジスタの各格納データとそのときのデジタルフィルタにおけるデータの分布を示す図である。実行サイクル1（実行状態1）においては、加算およびシフト演算動作は実行されない。乗算動作のみが実行される。すなわち図58（A）に示すように、第1行ないし第4行のBレジスタとCレジスタの格納データの乗算が行なわれ、各乗算結果が対応のXレジスタに格納される。

【0217】すなわち図58に示すように、ブロック#1～#4各々において乗算が並列に実行され、各乗算器の出力データが確定状態となる。

【0218】(2) 実行サイクル2

図59は実行サイクル2のレジスタの格納データおよびそのときのデジタルフィルタにおけるデータの分布を示す図である。図59（A）において、第1ないし第4行のAレジスタおよびXレジスタの格納データを用いて加算およびシフト演算が実行される。このとき、演算結果は次のエントリー（次の行）のAレジスタに格納される。第4行のAレジスタおよびCレジスタのデータの演算結果は出力データとして出力される。

【0219】すなわち図59（B）に示すように、各ブロック#1～#4各々において、遅延素子の出力データが確定状態となるとともに、ブロック#4においては、除算器の出力が確定状態となり、出力データが生成される。

【0220】この第2サイクルにおいてはBレジスタには有効データは存在しないため、乗算は実行されない。すなわち、複数個の乗算器と複数個の加算およびシフト演算器を利用する場合には、乗算が行なわれ、次いで加算およびシフト演算が実行される。この動作が繰り返し新しい入力データに対して実行される。

【0221】この第2サイクルにおいて、加算およびシフト演算と並行して、Bレジスタへのデータの格納および乗算が並行に実行される。すなわち、第1サイクルにおいて、乗算が行なわれると次いで第1行ないし第4行のBレジスタにデータが入力される。したがって、この場合、第2サイクル以降において、乗算器と加算シフト演算器は常時稼動状態となり、演算器が入力データ待ち状態となることはなく、高速でフィルタ処理を実行することが可能となる。

【0222】ここで図58（B）および図59（B）に

(18)

33

において、括弧で示したデータは、それぞれのサイクルにおいて並行して実行された操作の結果得られるデータを示す。

【0223】レジスタとバス（演算器とレジスタとを結合するバス）との接続はプログラムにより決定される。複数の演算器、すなわち複数の乗算器と複数の加算およびシフト演算器を用いる構成の場合、各行並列に動作するため、各行のレジスタと演算器との接続はプログラムより一意的に固定される。この場合、同一種類の演算において各行の優先順位を判別する必要はない。

【0224】しかしながら、1個の乗算器と1個の加算およびシフト複合演算器を利用する構成の場合、1つの演算（乗算または加算シフト演算）を行なう場合、各行において優先順位を判別する必要がある。この優先順位を判別し、必要なデータが揃った場合にデータを読み出す構成について以下に説明する。

【0225】図60は、レジスタファイルにおける各レジスタの書込／読出制御を行なう構成を示す図である。この図60は、図2に示す書込／読出制御部の構成をより具体的に示す。

【0226】図60において、代表的に2種類のレジスタを示す。この2種類のレジスタは同一の演算に使用されるデータを格納する。

【0227】レジスタ#11に対し、書込ゲート311aおよび読出ゲート312aが設けられる。レジスタ#12に対し書込ゲート311bおよび読出ゲート312bが設けられる。

【0228】第2行において、レジスタ#21に対し書込ゲート311cおよび読出ゲート312cが設けられる。同様にレジスタ#12に対し、書込ゲート311d 30 および読出ゲート312dが設けられる。

【0229】第3行において、レジスタ#31に対し書込ゲート311eおよび読出ゲート312eが設けられる。レジスタ#32に対し書込ゲート311fおよび読出ゲート312fが設けられる。

【0230】第4行において、レジスタ#41に対し書込ゲート311gおよび読出ゲート312gが設けられ、レジスタ#42に対し書込ゲート311hおよび読出ゲート312hが設けられる。

【0231】書込ゲート311a～311hはそれぞれ 40 ライトイネーブル信号WE11、WE12、WE21、WE22、WE31、WE32、WE41およびWE42にตอบสนองしてそれぞれ活性状態となり、関連の書込データバス362aまたは362b上のデータを対応のレジスタへ書込む。

【0232】各行において、レジスタの読出を制御するために読出制御回路315a～315dが設けられる。

【0233】第4行の読出制御回路315dはライトイ 50 ネーブル信号WE41およびWE42とともに活性状態となり、レジスタ#41およびレジスタ#42にデータが書込ま

34

れたときに活性状態となり、対応の読出ゲート312g および312hをイネーブルし、レジスタ#41および#42をそれぞれ読出データバス360aおよび360bへ接続する。読出データバス360aおよび360bは演算器350に結合される。演算器350は乗算器または加算シフト複合演算器である。

【0234】第3行の読出制御回路315cは、ライトイネーブル信号WE31およびWE32とともに活性状態となり、かつ読出制御回路315dがデータ読出を指示していないときに活性化され、読出ゲート312e および312fを活性状態とする。

【0235】第2行の読出制御回路315bは、ライトイネーブル信号WE21、WE22が活性状態となりかつ、読出制御回路315cおよび315dとともにデータ読出を指示していないときに活性化され、対応の読出ゲート312cおよび312dを活性状態とする。

【0236】第1行の読出制御回路315aは、ライトイネーブル信号WE11およびWE12の活性状態になり、かつ、読出制御回路315b、315cおよび315dがデータ読出を指示していないときに活性状態となり、対応の読出ゲート312a および312bを活性状態とする。

【0237】演算器350の出力はレジスタ選択回路350を介して所望のデータバスへ伝達される。いずれのデータバスへこの演算器350の出力が伝達されるかはプログラムにより決定される。レジスタ選択回路351は、EレジスタまたはFレジスタの内容をデコードし、対応の書込ゲートを活性化するためのライトイネーブル信号WEを発生するとともに、演算器350からのデータを対応の書込データバス上に伝達する。演算器350の出力がいずれの書込データバス上に伝達されるかは実現されるフィルタの構造により決定される。演算器350が乗算器の場合には、この乗算器出力はXレジスタへ出力されるため、Xレジスタ対応の書込データバスへ伝達される。この場合、レジスタ選択回路351は、別の構成が用いられ、EレジスタまたはFレジスタにかかわりなく、読出制御回路315a～315dの出力に応じて、データ読出を受けた行に対応するXレジスタへデータを伝達する。

【0238】上述の構成において、読出制御回路315a～315dは下位の読出制御回路（行番号の大きい読出制御回路）がデータ読出を行っていないときにのみライトイネーブル信号にตอบสนองして読出ゲートをイネーブル状態とする。それにより、常に優先順位に従ってデータの読出を実行することができるとともに、演算に必要なデータが揃ったときには即座に演算を実行することができる。

【0239】図61は読出制御回路の具体的構成の一例を示す図である。図61(A)において、読出制御回路315は、一方のライトイネーブル信号WEa1をその

(19)

35

S入力に受けるセット・リセット (SR) フリップフロップ401と、他方のライトイネーブル信号WE a 2をそのS入力に受けるSRフリップフロップ402と、SRフリップフロップ401および402の出力と、下位側の読出制御回路のインバータ回路の出力を受けるAND回路403と、AND回路403の出力を反転して上位の読出制御回路に含まれるAND回路の入力へ与えるインバータ回路405と、AND回路403の出力をS入力に受けるSRフリップフロップ404と、SRフリップフロップ404のQ出力を所定時間遅延させる遅延回路406を含む。

【0240】遅延回路406の出力はフリップフロップ401、402および404のリセット入力Rへ与えられる。またフリップフロップ404のQ出力は対応の読出ゲートへ読出イネーブル信号として与えられる。次に動作についてその動作波形図である図61(B)を参照して説明する。

【0241】下位のインバータ回路の出力が“L”の場合には、下位のレジスタ(行番号の大きいレジスタ)においてデータが揃っており先に下位側において演算が実行されることを示す。したがってこの場合、ライトイネーブル信号WE a 1およびWE a 2がともに活性状態となり対応のレジスタに有効データが書込まれ、フリップフロップ401および402がセット状態となった場合でもAND回路403の出力は“L”状態にある。

【0242】下位のインバータ回路の出力が“H”に立上がると、この行のレジスタの格納データを用いて演算が実行されるべきことを示す。このとき、AND回路403の出力が“H”に立上がり、インバータ回路405の出力が“L”に立下がる。インバータ回路405の出力が上位のAND回路の入力に与えられている。これにより上位側における演算が禁止される。

【0243】AND回路403の出力が“H”に立上がると、フリップフロップ404のQ出力が“H”へ立上がり、対応の読出ゲートがイネーブル状態となり、レジスタの内容が読出データバスに伝達される。所定時間が経過すると、遅延回路406の出力よりフリップフロップ401、402および404がリセットされ、読出ゲートはディスエーブル状態とされるとともに、AND回路403の出力も“L”に立下がり、上位の読出制御回路を読出可能状態に設定する(インバータ回路405の出力が“H”となる)。この図61に示す構成において、フリップフロップ404はAND回路403の

“H”の信号をセット入力Sに受けているときにリセット入力Rに“H”の信号を受けてリセット状態とされる。この構成は、セット状態にする駆動トランジスタよりもリセット状態に設定するトランジスタの方の駆動能力を大きく設定することにより実現される。すなわち、セット能力よりもリセット能力の方が大きくされる。

【0244】この構成において、一方のレジスタが定数

36

データを格納する場合には、フリップフロップ401または402のQ出力を常時“H”状態に設定する必要がある。この構成は、定数データを格納するレジスタに対応するフリップフロップのリセット入力Rに対しては、遅延回路406の出力が伝達されないようにプログラムにより固定する。すなわち、遅延回路406とフリップフロップ401または402との間にスイッチ回路を設けておき、このスイッチ回路の導通/遮断を定数値であるか否かを示すプログラムより決定する。

【0245】上述の構成により、優先順位を乱すことなく必要なデータが揃ったときに演算を実行することが可能となる。ここで、乗算操作と加算シフト複合演算操作とでは、加算およびシフト演算操作が優先される。この場合、加算シフト演算操作に利用されるレジスタに対する読出制御回路の出力を、乗算回路に利用されるデータを格納するレジスタに設けられる読出制御回路の活性/不活性を指定する信号として利用すればよい(すなわちAND回路403の入力へ与えればよい)。

【0246】〔処理性能〕本発明によるデータ駆動型フィルタ装置を用いた場合、従来のデータ駆動型プロセサを用いるフィルタ処理と比べて、IIRフィルタ処理を実現する場合には45ないし60倍の処理速度が得られる。同様にデータ駆動型プロセサを用いてFIRフィルタ処理を実現する場合の構成と比べて5ないし10倍の処理速度を得ることができる。

【0247】また専用LSIを用いるフィルタ装置と比べて、タップ数を自由に設定することができる(レジスタファイルにおけるエンタリー数の増減はプログラムにより容易に実行することができる)。このため、フィルタ装置を処理用途に応じて任意にその構成を設定することができ、いずれの用途においても容易に対応することが可能となる。

【0248】さらに、上述の実施例においては、IIRフィルタおよびFIRフィルタそれぞれを個別に構成しているが、両者を組合わせる結合型フィルタをも容易に構成することが可能となる。

【0249】

【発明の効果】以上のように、この発明によれば、データ、定数および初期値が単一代入単一読出のルールで書込/読出が行なわれる複数のレジスタを有するレジスタファイルと、乗算器と加算シフト複合演算器とを有する演算器群とでフィルタ装置を構成したため、FIRフィルタ処理およびIIRフィルタ処理における基本フィルタ演算を最小命令単位として表現することができ、フィルタ処理にのみ関連する命令を用いてフィルタ処理を実行することができ、高速でフィルタ処理を実行することが可能となる。

【0250】また、レジスタファイルのエンタリー数はタップ数に対応するため、このエンタリー数はプログラムにより設定可能であり、さらに任意の構成のフィルタ

(20)

37

を容易に実現することが可能となる。

【図面の簡単な説明】

【図1】この発明に従うデータ駆動型フィルタ装置の全体の構成を概略的に示すブロック図である。

【図2】図1に示すレジスタファイルの概略構成を示す図である。

【図3】i i r命令におけるレジスタファイル内のレジスタ間の接続およびレジスタファイル内のレジスタの構成を示す図である。

【図4】f i r命令におけるレジスタファイル内のレジスタ間の接続およびレジスタファイルの構成を示す図である。

【図5】i i r命令およびf i r命令両者兼用時におけるレジスタファイルの接続構成およびレジスタファイルの構成を示す図である。

【図6】i i r命令の記述形式およびその内部構造を示す図である。

【図7】f i r命令の記述形式およびその内部構造を示す図である。

【図8】2次のI I Rフィルタの構成と本発明におけるi i r命令への分解手順を示す図である。

【図9】図8に示す2次のI I Rフィルタをi i r命令で記述した際のフローグラフを示す図である。

【図10】図9に示すフローグラフをテキスト形式で記述した際のプログラムコーディングを示す図である。

【図11】図8に示すフィルタ処理を実現する際の初期状態におけるレジスタファイルの各レジスタの格納データの状態および演算器との接続構成を示す図である。

【図12】I I Rフィルタ処理実行時における実行サイクル1におけるレジスタファイル内の各レジスタの格納データおよびそのときのデジタルフィルタにおけるデータの分布を示す図である。

【図13】I I Rフィルタ処理実行時における第2実行サイクルにおける各レジスタの格納データおよびそのときのデジタルフィルタのデータの分布を示す図である。

【図14】I I Rフィルタ処理実行時における第3実行サイクルにおける各レジスタの格納データおよびそのときのデジタルフィルタのデータの分布を示す図である。

【図15】I I Rフィルタ処理実行時における第4実行サイクルにおける各レジスタの格納データおよびそのときのデジタルフィルタのデータの分布を示す図である。

【図16】I I Rフィルタ処理実行時における第5実行サイクルの動作を詳細に示す図である。

【図17】I I Rフィルタ処理実行時における第5実行サイクルの詳細な動作およびこのサイクル完了時における各レジスタの格納データおよびそのときのデジタルフィルタにおけるデータの分布を示す図である。

【図18】I I Rフィルタ処理実行時における第6実行サイクル時の各レジスタの格納データおよびそのときのデジタルフィルタにおけるデータの分布を示す図である。

38

る。

【図19】I I Rフィルタ処理実行時における第7実行サイクル時の各レジスタの格納データおよびそのときのデジタルフィルタにおけるデータの分布を示す図である。

【図20】I I Rフィルタ処理実行時における第8実行サイクル時の各レジスタの格納データおよびそのときのデジタルフィルタにおけるデータの分布を示す図である。

【図21】I I Rフィルタ処理実行時における第9実行サイクル時の各レジスタの格納データを示す図である。

【図22】I I Rフィルタ処理実行時における第10実行サイクル時の各レジスタの格納データを示す図である。

【図23】I I Rフィルタ処理実行時における第11実行サイクル時の各レジスタの格納データを示す図である。

【図24】I I Rフィルタ処理実行時における第12実行サイクル時の各レジスタの格納データを示す図である。

【図25】I I Rフィルタ処理実行時における第13実行サイクル時の各レジスタの格納データを示す図である。

【図26】I I Rフィルタ処理実行時における第14実行サイクル時の各レジスタの格納データを示す図である。

【図27】I I Rフィルタ処理実行時における第15および16実行サイクル時の各レジスタの格納データを示す図である。

【図28】I I Rフィルタ処理実行時の第2ないし第16動作サイクル時における各演算器の稼動状態を示す図である。

【図29】複数の演算器を用いたI I Rフィルタ処理実行時における各レジスタの格納データおよびそのときのデジタルフィルタにおけるデータの分布を示す図である。

【図30】複数の演算器を用いてI I Rフィルタ処理を実行する際の第1実行動作サイクル時における各レジスタの格納データおよびそのときのデジタルフィルタ内のデータの分布を示す図である。

【図31】複数の演算器を用いてI I Rフィルタ処理を実行する際の第2実行サイクル時の格納データおよびそのときのデジタルフィルタ内のデータの分布を示す図である。

【図32】複数の演算器を用いてI I Rフィルタ処理を実行する際の第3の動作サイクル時における各レジスタの格納データおよびそのときのデジタルフィルタ内のデータの分布を示す図である。

【図33】複数の演算器を用いてI I Rフィルタ処理を実行する際の垂直動作完了時における各レジスタの格納

(21)

39

データおよびそのときのデジタルフィルタ内のデータの分布を示す図である。

【図34】複数の演算器を用いてIIRフィルタ処理を実行する際の第3の動作サイクル時における各レジスタの格納データおよびそのときのデジタルフィルタ内のデータの分布を示す図である。

【図35】複数の演算器を用いてIIRフィルタ処理を実行する際の第4の動作サイクル時における各レジスタの格納データおよびそのときのデジタルフィルタ内のデータの分布を示す図である。

【図36】複数の演算器を用いてIIRフィルタ処理を実行した際の各動作サイクル時における演算器の稼動状況を示す図である。

【図37】4次のFIRフィルタの構成およびfir命令への分解手順を示す図である。

【図38】図37に示す4次のFIRフィルタをfir命令で記述する際のフローグラフを示す図である。

【図39】図38に示すフローグラフをテキスト形式で記述した際のプログラムコーディングを示す図である。

【図40】FIRフィルタ処理実行時における初期状態の各レジスタ格納データおよび演算器との接続関係とそのときのデジタルフィルタ内のデータの分布を示す図である。

【図41】FIRフィルタ処理実行時における第1実行サイクル時における各レジスタの格納データおよびそのときのデジタルフィルタ内のデータの分布を示す図である。

【図42】FIRフィルタ処理実行時における第2実行サイクル時における各レジスタの格納データおよびそのときのデジタルフィルタ内のデータの分布を示す図である。

【図43】FIRフィルタ処理実行時における第3実行サイクル時における各レジスタの格納データおよびそのときのデジタルフィルタ内のデータの分布を示す図である。

【図44】FIRフィルタ処理実行時における第4実行サイクル時における各レジスタの格納データおよびそのときのデジタルフィルタ内のデータの分布を示す図である。

【図45】FIRフィルタ処理実行時における第5実行サイクル時における各レジスタの格納データおよびそのときのデジタルフィルタ内のデータの分布を示す図である。

【図46】FIRフィルタ処理実行時における第6実行サイクル時における各レジスタの格納データおよびそのときのデジタルフィルタ内のデータの分布を示す図である。

【図47】FIRフィルタ処理実行時における第7実行サイクル時における各レジスタの格納データおよびそのときのデジタルフィルタ内のデータの分布を示す図である。

40

る。

【図48】FIRフィルタ処理実行時における第8実行サイクル時における各レジスタの格納データおよびそのときのデジタルフィルタ内のデータの分布を示す図である。

【図49】FIRフィルタ処理実行時における第9実行サイクル時における各レジスタの格納データおよびそのときのデジタルフィルタ内のデータの分布を示す図である。

10 【図50】FIRフィルタ処理実行時における第10実行サイクル時における各レジスタの格納データおよびそのときのデジタルフィルタ内のデータの分布を示す図である。

【図51】FIRフィルタ処理実行時における第11実行サイクル時における各レジスタの格納データおよびそのときのデジタルフィルタ内のデータの分布を示す図である。

20 【図52】FIRフィルタ処理実行時における第12実行サイクル時における各レジスタの格納データおよびそのときのデジタルフィルタ内のデータの分布を示す図である。

【図53】FIRフィルタ処理実行時における第13実行サイクル時における各レジスタの格納データおよびそのときのデジタルフィルタ内のデータの分布を示す図である。

【図54】FIRフィルタ処理実行時における第14実行サイクル時における各レジスタの格納データおよびそのときのデジタルフィルタ内のデータの分布を示す図である。

30 【図55】FIRフィルタ処理実行時における第15実行サイクル時における各レジスタの格納データおよびそのときのデジタルフィルタ内のデータの分布を示す図である。

【図56】FIRフィルタ処理実行時における第2ないし第16実行サイクル時における各演算器の稼動状況を示す図である。

【図57】複数の演算器を用いたFIRフィルタ処理実行時における各レジスタの格納データを示す図である。

40 【図58】複数の演算器を用いてFIRフィルタ処理を実行する際の第1動作サイクル時における各レジスタの格納データおよびそのときのデジタルフィルタ内のデータの分布を示す図である。

【図59】複数の演算器を用いてFIRフィルタ処理を実行する際の第2動作サイクル時における各レジスタの格納データおよびそのときのデジタルフィルタ内のデータの分布を示す図である。

【図60】レジスタファイル内のレジスタの読出制御を行なう構成の一例を示す図である。

50 【図61】図60に示す読出制御回路の構成および動作を示す図である。

(22)

41

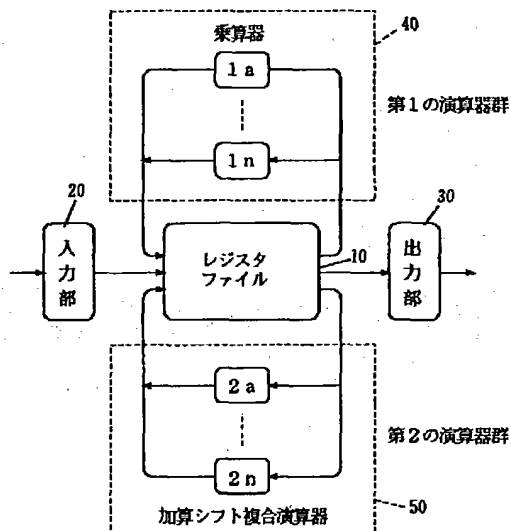
42

【符号の説明】

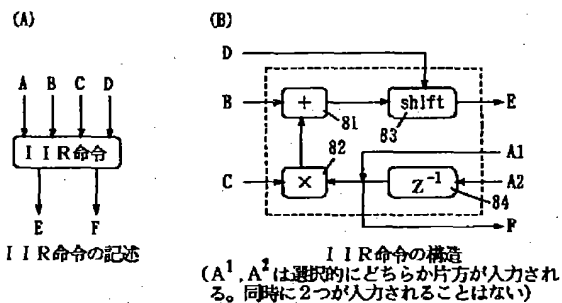
- 1, 1a~1n 乗算器
2, 2a~2n 加算シフト複合演算器
10 レジスタファイル
20 入力部
22 加算器
24 シフト演算器
30 出力部
40 第1の演算器群
50 第2の演算器群
DAF データフィールド

- DEF 行先フィールド
DAR データレジスタ
DER 行先レジスタ
A1 レジスタ
A2 レジスタ
C レジスタ
B レジスタ
X レジスタ
D レジスタ
10 E レジスタ
F レジスタ

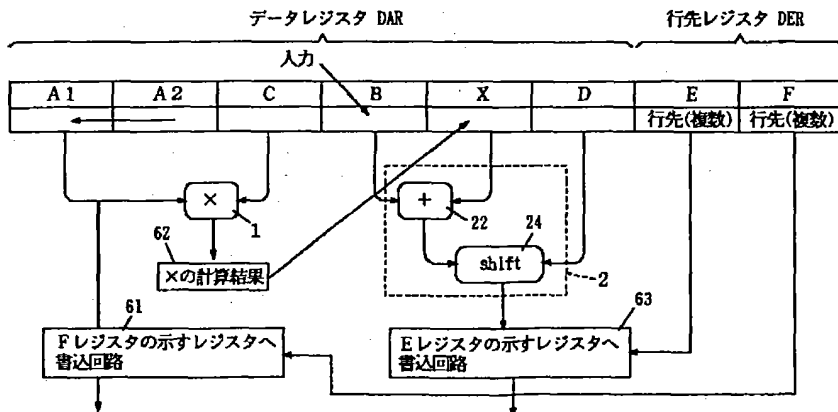
【図1】



【図6】



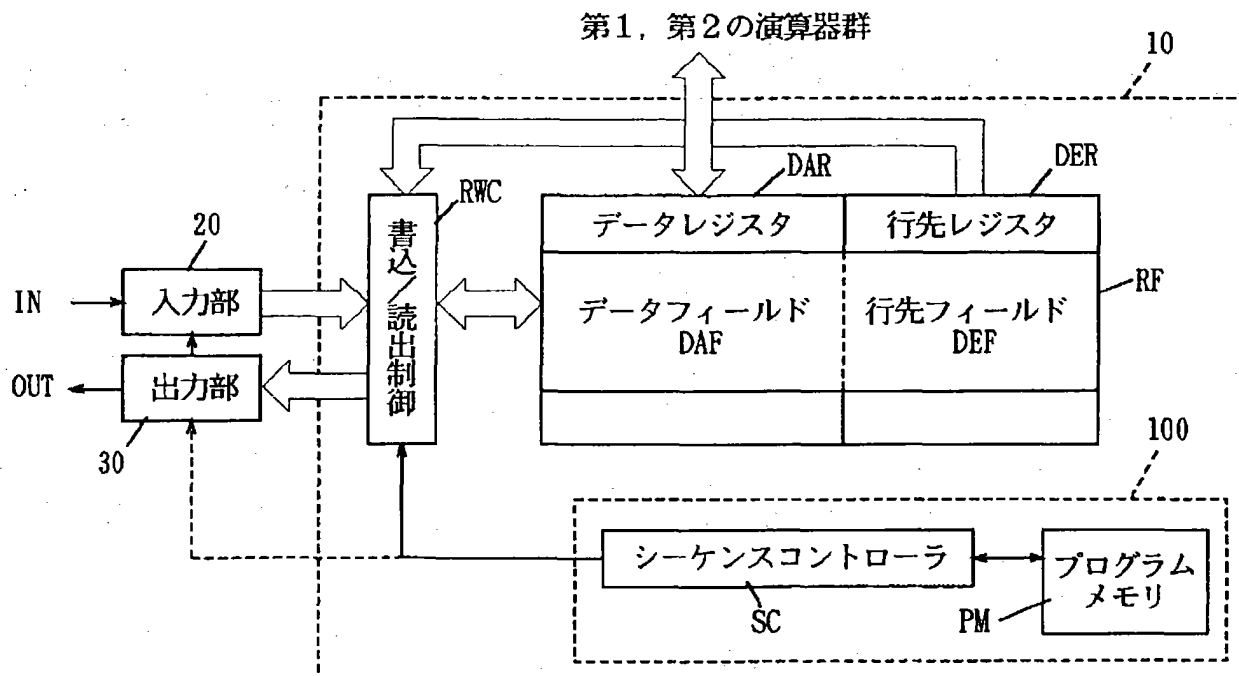
【図3】



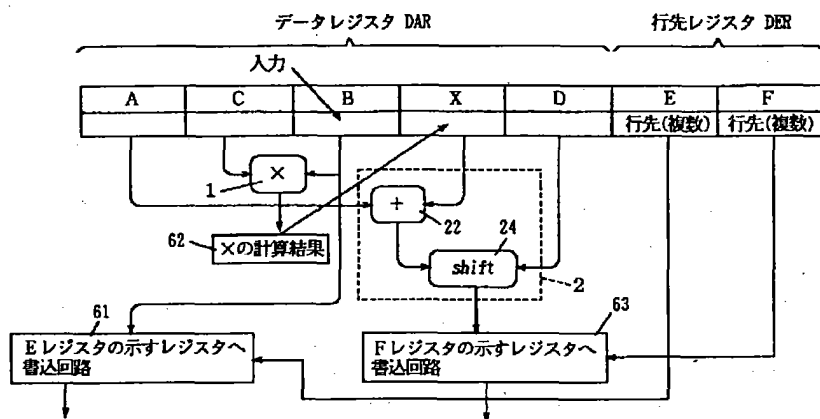
IIR命令によるレジスタ間の接続

(23)

【図2】

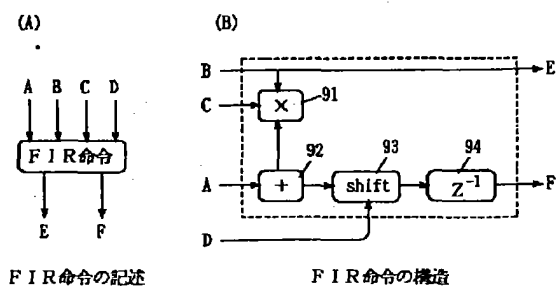


【図4】

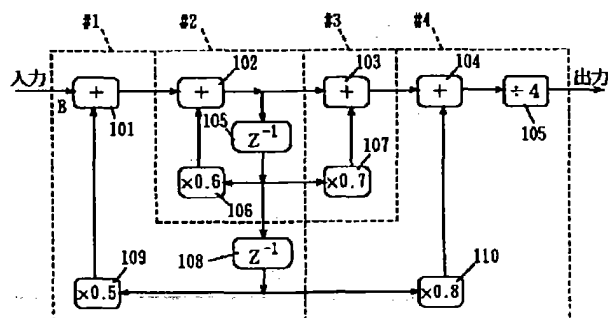


FIR命令によるレジスタ間の接続

【図7】

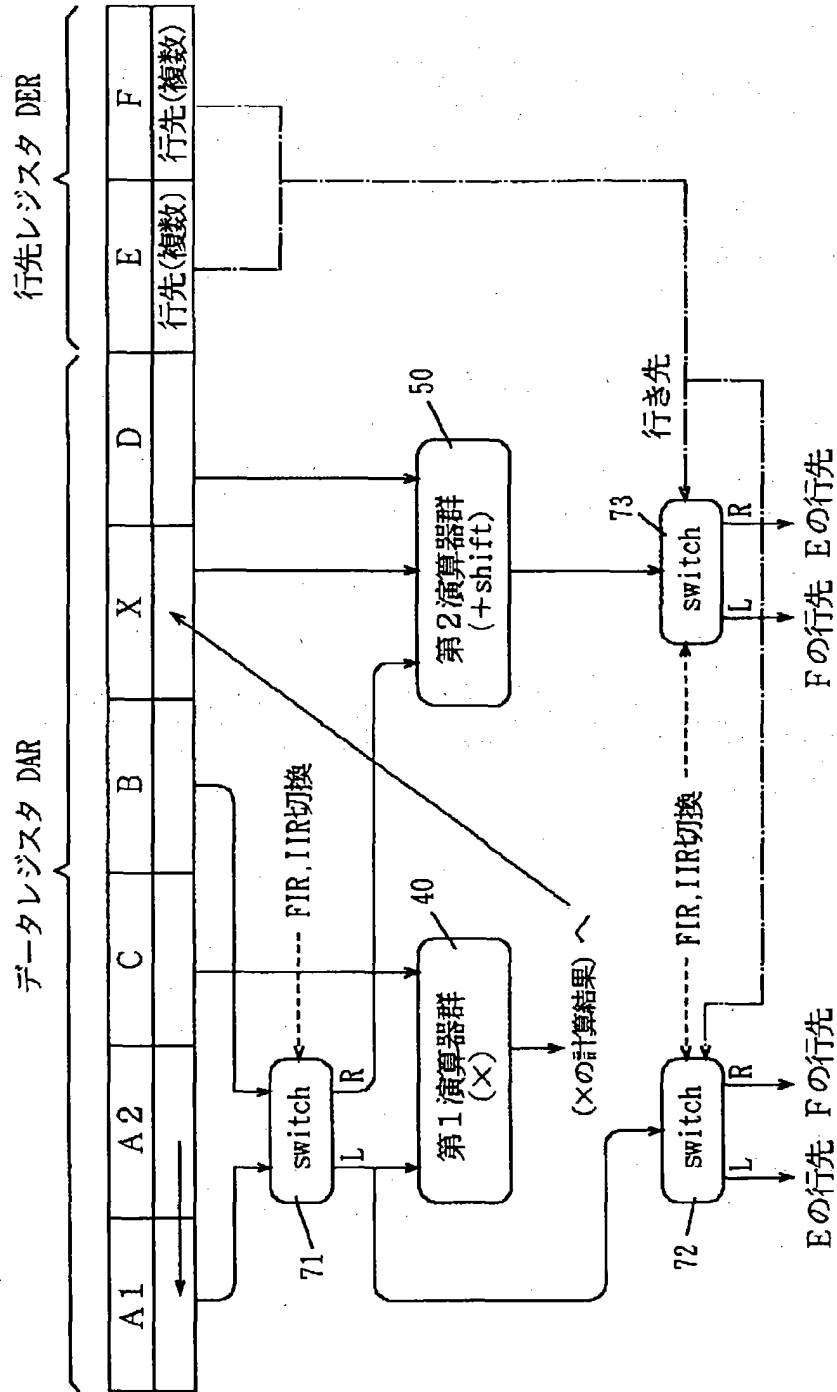


【図8】



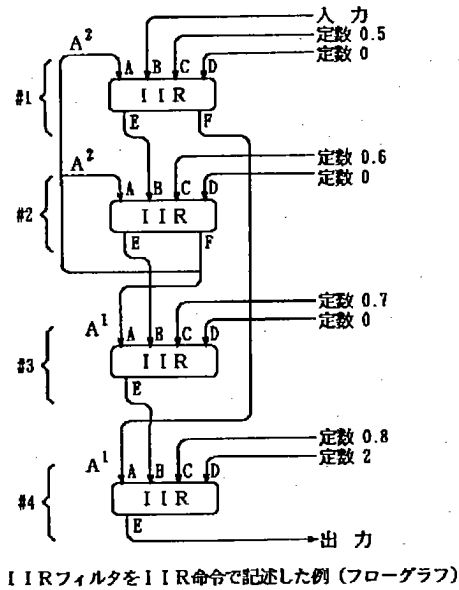
(24)

【図5】

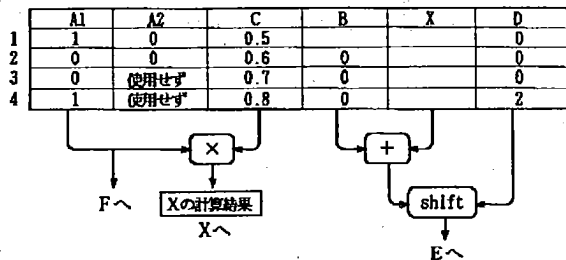


(25)

【図9】

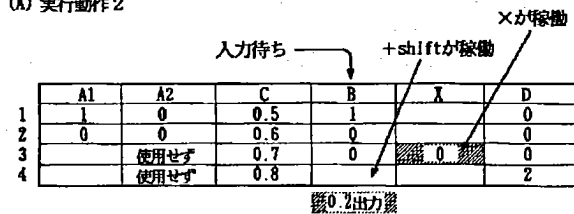


【図11】

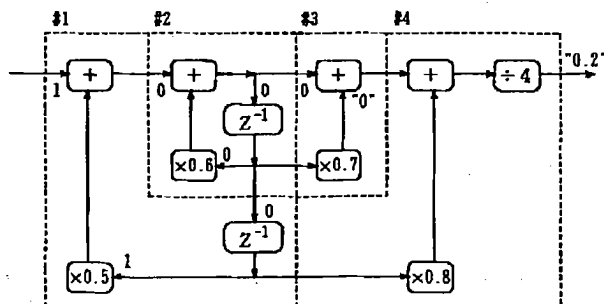


【図13】

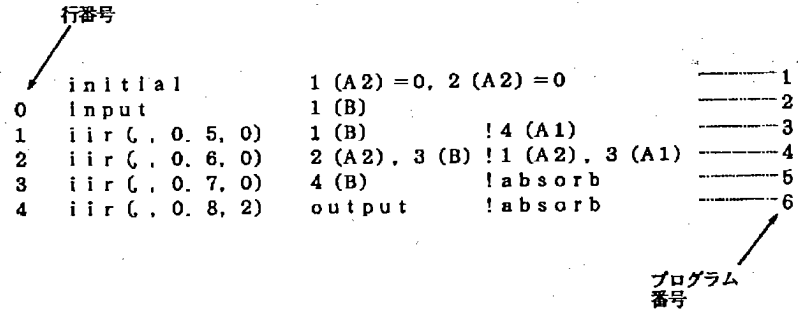
(A) 実行動作2



(B)

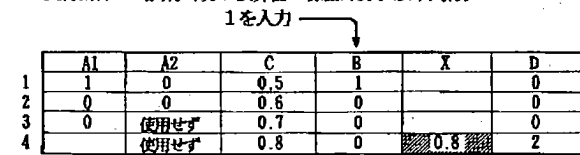


【図10】

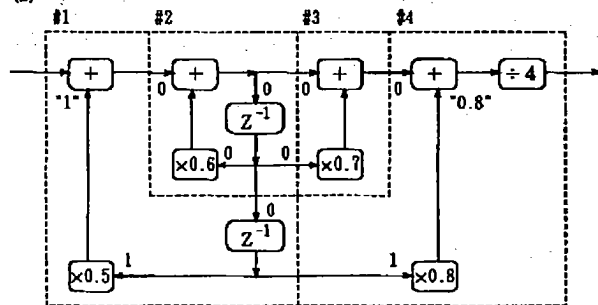


【図12】

(A) 実行動作1 (斜線部分が演算器の稼働部分、以下同様)

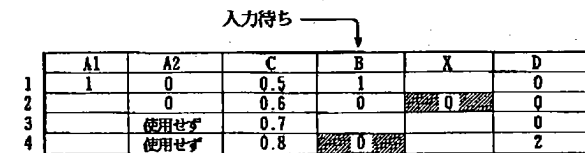


(B)

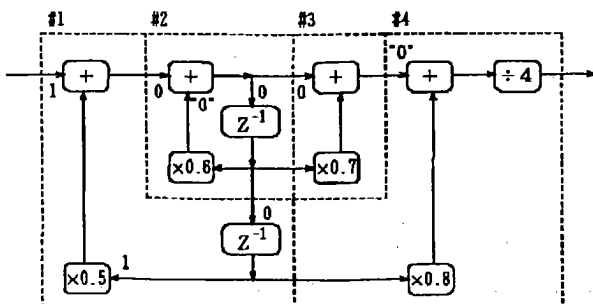


【図14】

(A) 実行動作3



(B)



(26)

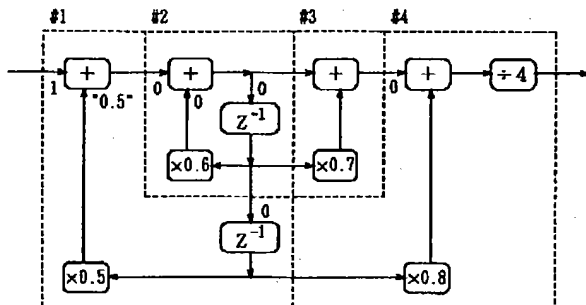
【図15】

(A) 実行動作4

入力待ち

	A1	A2	C	B	X	D
1		0	0.5	1	0.5	0
2		0	0.6	0	0	0
3		使用せず	0.7			0
4		使用せず	0.8	0		2

(B)



【図17】

(A)

	A1	A2	C	B	X	D
1	0	0	0.5	1	0.5	0
2	0	0	0.6			0
3	0	使用せず	0.7	0		0
4		使用せず	0.8	0	0	2

×

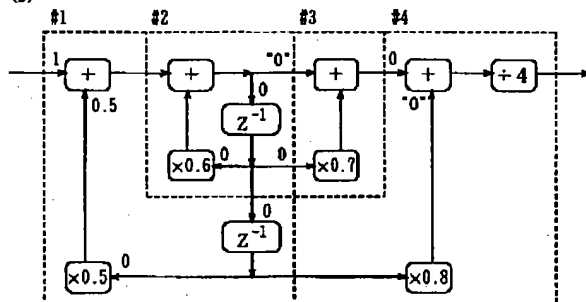
(B)

最終的な状態は以下のようになる。

入力待ち

	A1	A2	C	B	X	D
1	0	0	0.5	1	0.5	0
2	0	0	0.6			0
3	0	使用せず	0.7	0		0
4		使用せず	0.8	0	0	2

(B)



【図16】

(A) 実行動作5

より詳細な動き(1)

レジスタ1(A2)の値がレジスタ1(A1)、レジスタ4(A1)にコピーされる。

	A1	A2	C	B	X	D
1	0	0	0.5	1	0.5	0
2	0	0	0.6	0	0	0
3	0	使用せず	0.7			0
4	0	使用せず	0.8	0		2

(B)

より詳細な動き(2)

レジスタ2(A2)の値がレジスタ1(A2)、レジスタ2(A1)、レジスタ3(A1)にコピーされる。

	A1	A2	C	B	X	D
1	0	0	0.5	1	0.5	0
2	0	0	0.6	0	0	0
3	0	使用せず	0.7			0
4	0	使用せず	0.8	0		2

(C)

より詳細な動き(3)

レジスタ2(B)の値とレジスタ2(Xの計算結果)の加算shiftが行われ、レジスタ2(A2)、レジスタ3(B)にコピーされる。

	A1	A2	C	B	X	D
1	0	0	0.5	1	0.5	0
2	0	0	0.6			0
3	0	使用せず	0.7	0		0
4	0	使用せず	0.8	0		2

tshift

【図18】

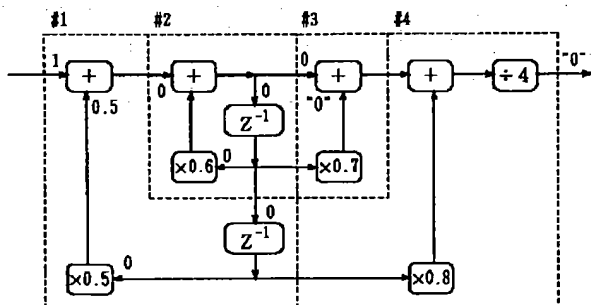
(A) 実行動作6

入力待ち

	A1	A2	C	B	X	D
1	0	0	0.5	1	0.5	0
2	0	0	0.6			0
3		使用せず	0.7	0	0	0
4		使用せず	0.8			2

出力

(B)



【図21】

実行動作9

入力待ち

	A1	A2	C	B	X	D
1	0	0	0.5	2	0	0
2	0	1.5	0.6			0
3	0	使用せず	0.7	1.5		0
4		使用せず	0.8	0	0	2

(27)

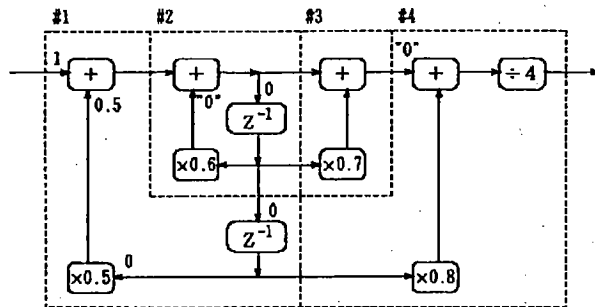
【図19】

(A) 実行動作7

入力待ち

	A1	A2	C	B	X	D
1	0	0	0.5	1	0.5	0
2		0	0.6		0	0
3		使用せず	0.7			0
4		使用せず	0.8	0		2

(B)



【図22】

実行動作10

入力待ち

	A1	A2	C	B	X	D
1	0	0	0.5	2	0	0
2	0	1.5	0.6		0	0
3		使用せず	0.7	1.5	0	0
4		使用せず	0.8			2

0出力

【図24】

実行動作12

3を入力

	A1	A2	C	B	X	D
1	0	0	0.5	3	0	0
2	1.5	2	0.6	2	0	0
3		使用せず	0.7			0
4		使用せず	0.8	1.5		2

【図26】

実行動作14

入力待ち

	A1	A2	C	B	X	D
1	0	1.5	0.5	3	0	0
2	1.5	2	0.6			0
3		使用せず	0.7	2	1.05	0
4		使用せず	0.8			2

0.38出力

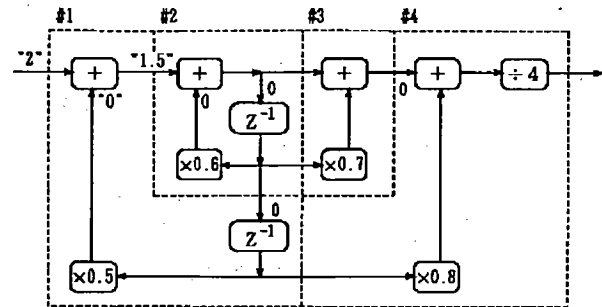
【図20】

(A) 実行動作8

2を入力

	A1	A2	C	B	X	D
1	0	0	0.5	2	0	0
2		0	0.6	1.5	0	0
3		使用せず	0.7			0
4		使用せず	0.8	0		2

(B)



【図23】

実行動作11

入力待ち

	A1	A2	C	B	X	D
1	0	0	0.5	2	0	0
2		1.5	0.6		0	0
3		使用せず	0.7			0
4		使用せず	0.8	1.5		2

【図25】

実行動作13

入力待ち

	A1	A2	C	B	X	D
1	0	1.5	0.5	3	0	0
2	1.5	2	0.6			0
3	1.5	使用せず	0.7	2		0
4		使用せず	0.8	1.5	0	2

【図27】

(A) 実行動作15

入力待ち

	A1	A2	C	B	X	D
1	0	1.5	0.5	3	0	0
2		2	0.6		0.9	0
3		使用せず	0.7			0
4		使用せず	0.8	3.05		2

(B) 実行動作16

4を入力

	A1	A2	C	B	X	D
1		1.5	0.5	4	0	0
2		2	0.6	3	0.9	0
3		使用せず	0.7			0
4		使用せず	0.8	3.05		2

(28)

【図28】

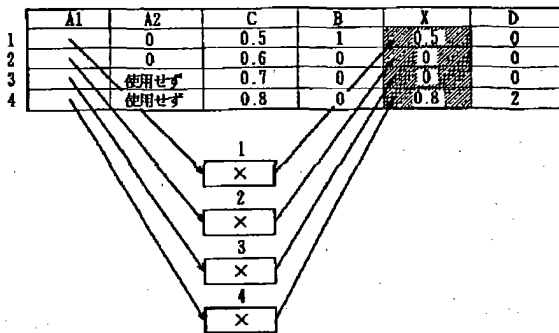
サイクル2～16の各演算器の稼働状況
(○印は稼働状態、空白がデータ待ち状態)

実行動作番号	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16
データ入力	○															○
× (乗算器)		○	○	○	○	○	○	○	○	○	○	○	○	○	○	○
+shift (複合演算器)		○	○	○	○	○	○	○	○	○	○	○	○	○	○	○
データ出力					○					○					○	

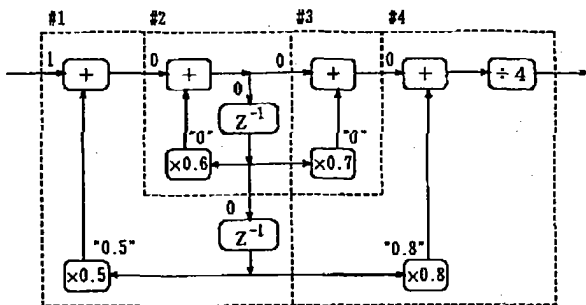
【図30】

(A) 実行状態1-b (1-aは演算器の動作なし)

A1とCの値を4つの×演算器に送り、演算結果を所定のレジスタに書き込む。



(B)

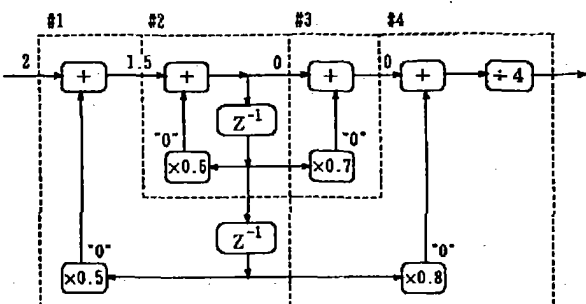


【図33】

(A) 実行状態2-b

	A1	A2	C	B	X	D
1	0	0	0.5	2	0	0
2	0	0	0.6	1.5	0	0
3	使用せず	0	0.7	0	0	0
4	使用せず	0	0.8	0	0	2

(B)

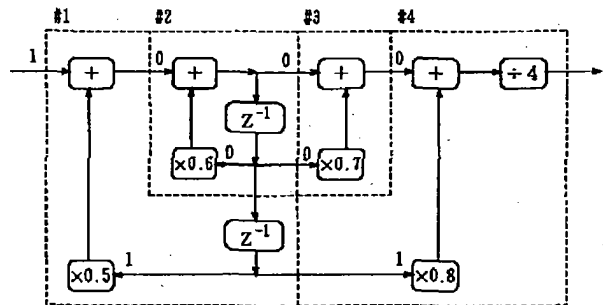


【図29】

(A) 初期状態

	A1	A2	C	B	X	D
1	1	0	0.5	1		0
2	0	0	0.6	0		0
3	0	使用せず	0.7	0		0
4	1	使用せず	0.8	0		2

(B)



【図31】

(A) 実行状態2-a

レジスタ1のA2の値が、レジスタ1 (A1)、レジスタ4 (A1)に書き込まれる。

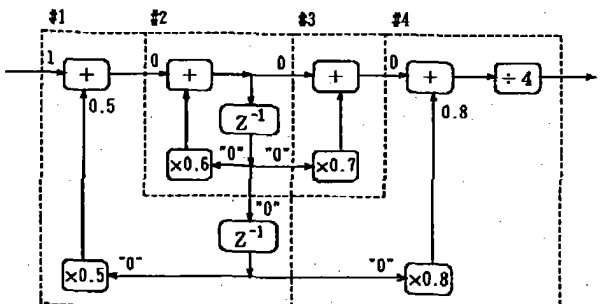
	A1	A2	C	B	X	D
1	0	0	0.5	1	0.5	0
2	0	0	0.6	0	0	0
3	0	使用せず	0.7	0	0	0
4	0	使用せず	0.8	0	0.8	2

(B)

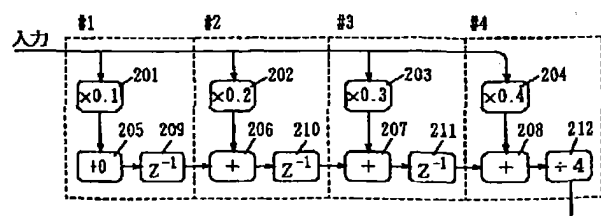
レジスタ2のA2の値が、レジスタ1 (A2)、レジスタ2、3 (A1)に書き込まれる。

	A1	A2	C	B	X	D
1	0	0	0.5	1	0.5	0
2	0	0	0.6	0	0	0
3	0	使用せず	0.7	0	0	0
4	0	使用せず	0.8	0	0.8	2

(C)



【図37】



(29)

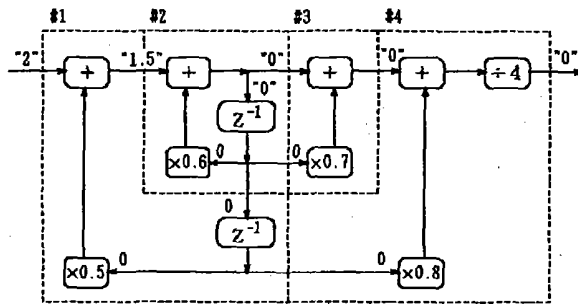
【図32】

(A)
(Xの計算結果)とBの値を+shift演算器に送り、その結果をEレジスタの示す行き先に格込む(この場合は次のレジスタ番号、すなわち自身が1ならば2、2ならば3というように次のレジスタのBと、2のみA2)

	A1	A2	C	B	X	D
1	0	0	0.5	2		0
2	0	0	0.6	1.5		0
3	0	使用せず	0.7	0		0
4	0	使用せず	0.8	0		2

出力0 shift演算

(B)



【図35】

(A) 実行状態4-a

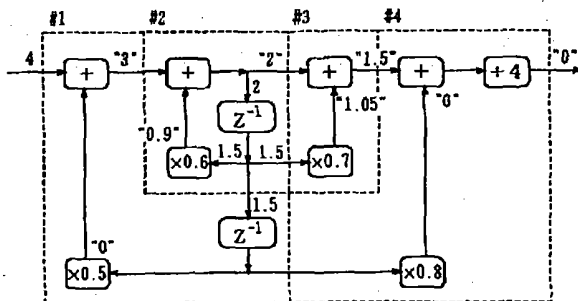
	A1	A2	C	B	X	D
1	0	1.5	0.5	4		0
2	1.5	2	0.6	3		0
3	1.5	使用せず	0.7	2		0
4	0	使用せず	0.8	1.5		2

出力0

(B) 実行状態4-b

	A1	A2	C	B	X	D
1		1.5	0.5	4	0	0
2		2	0.6	3	0.9	0
3		使用せず	0.7	2	1.05	0
4		使用せず	0.8	1.5	0	2

(C)



【図34】

(A) 実行状態3-a

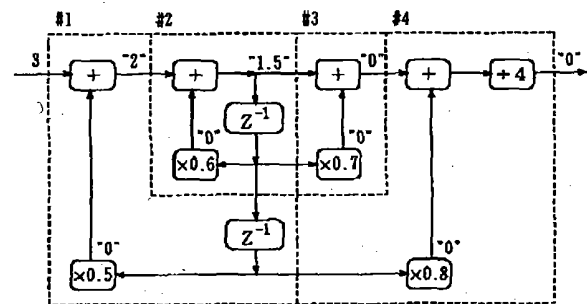
	A1	A2	C	B	X	D
1	0	0	0.5	3		0
2	0	1.5	0.6	2		0
3	0	使用せず	0.7	1.5		0
4	0	使用せず	0.8	0		2

出力0

(B) 実行状態3-b

	A1	A2	C	B	X	D
1		0	0.5	3	0	0
2		1.5	0.6	2	0	0
3		使用せず	0.7	1.5	0	0
4		使用せず	0.8	0	0	2

(C)



【図36】

実行動作番号	1	2	3	4
データ入力	○	○	○	○
X (乗算器)	○	○	○	○
+shift(複合演算器)	○	○	○	○
X (乗算器)	○	○	○	○
+shift(複合演算器)	○	○	○	○
X (乗算器)	○	○	○	○
+shift(複合演算器)	○	○	○	○
X (乗算器)	○	○	○	○
+shift(複合演算器)	○	○	○	○
データ出力	○	○	○	○

演算器1 (X、+shift複合演算器1)
演算器2 (X、+shift複合演算器2)
演算器3 (X、+shift複合演算器3)
演算器4 (X、+shift複合演算器4)

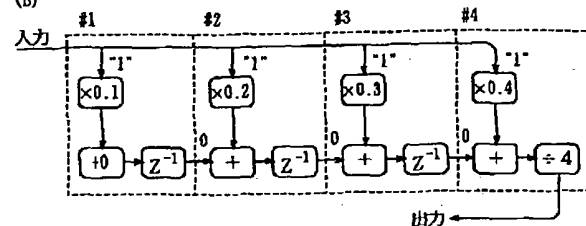
【図41】

(A) 実行状態1

1を入力

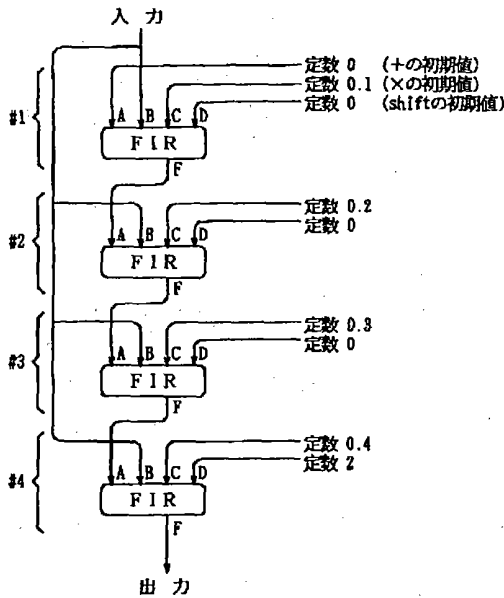
	B	C	A	X	D
1	1	0.1	0		0
2	1	0.2	0		0
3	1	0.3	0		0
4	1	0.4	0		2

(B)

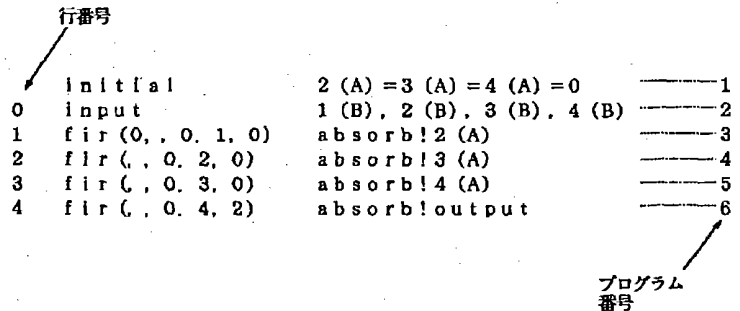


(30)

【図38】



【図39】



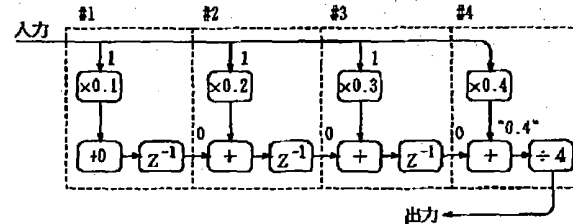
【図42】

(A) 実行状態2

入力待ち

	B	C	A	X	D
1	1	0.1	0		0
2	1	0.2	0		0
3	1	0.3	0		0
4		0.4	0	0.4	2

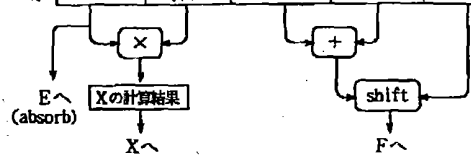
(B)



【図40】

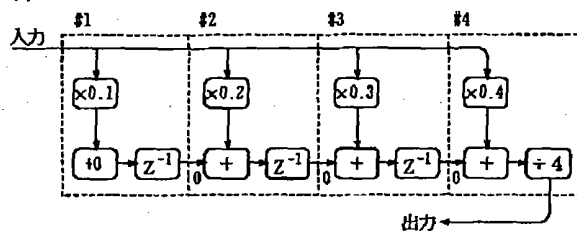
(A) レジスタの初期状態と、各レジスタと演算器との関係

	B	C	A	X	D
1		0.1	0 (定数)		0
2		0.2	0		0
3		0.3	0		0
4		0.4	0		2



【図43】

(B)



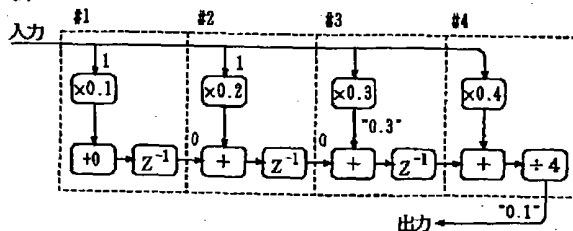
(A) 実行状態3

入力待ち

	B	C	A	X	D
1	1	0.1	0		0
2	1	0.2	0		0
3		0.3	0	0.3	0
4		0.4		0.1	2

出力 ← 0.1

(B)



【図56】

サイクル2~16の各演算器の稼働状況

実行動作番号	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16
データ入力	○														
× (乗算器)		○	○	○	○	○	○	○	○	○	○	○	○	○	○
+shift (複合演算器)				○	○	○	○	○	○	○	○	○	○	○	○
データ出力															○

(○印が稼働状態、空白がデータ待ち状態)

(31)

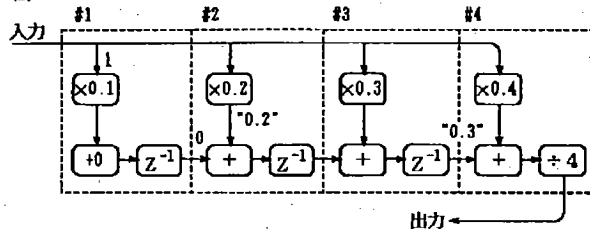
【図44】

(A) 実行状態4

入力待ち

	B	C	A	X	D
1	1	0.1	0		0
2		0.2	0	0.2	0
3		0.3			0
4		0.4	0.3		2

(B)



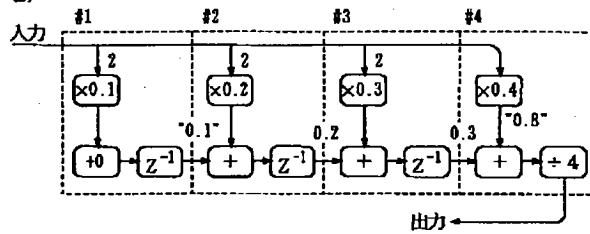
【図46】

(A) 実行状態6

入力待ち

	B	C	A	X	D
1	2	0.1	0		0
2	2	0.2	0.1		0
3	2	0.3	0.2		0
4		0.4	0.3	0.8	2

(B)



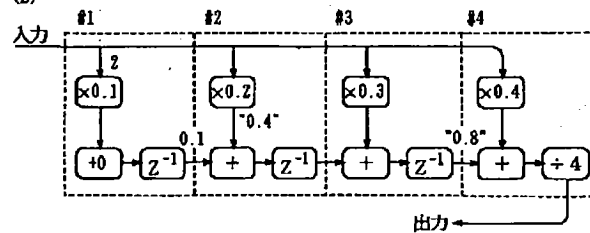
【図48】

(A) 実行状態8

入力待ち

	B	C	A	X	D
1	2	0.1	0		0
2		0.2	0.1	0.4	0
3		0.3			0
4		0.4	0.8		2

(B)



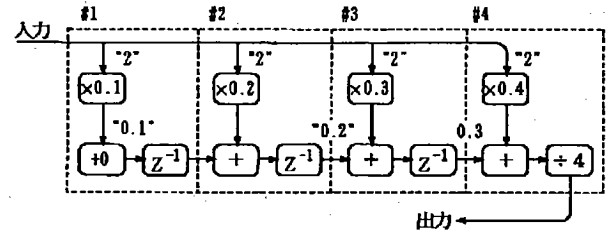
【図45】

(A) 実行状態5

2を入力

	B	C	A	X	D
1	2	0.1	0	0.1	0
2		0.2			0
3		0.3	0.2		0
4		0.4	0.3		2

(B)



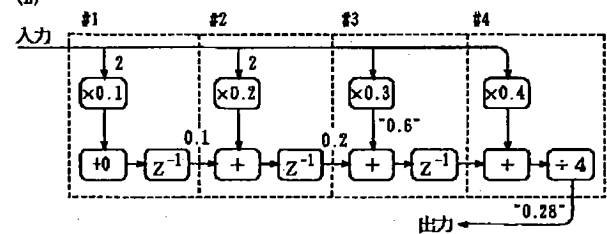
【図47】

(A) 実行状態7

入力待ち

	B	C	A	X	D
1	2	0.1	0		0
2	2	0.2	0.1		0
3		0.3	0.2	0.6	0
4		0.4			2

(B)



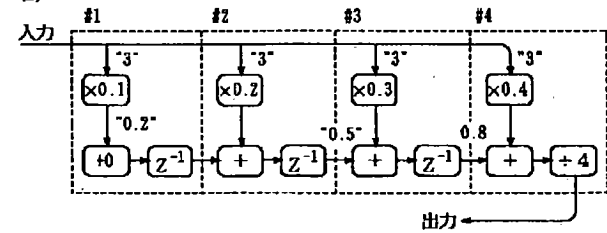
【図49】

(A) 実行状態9

3を入力

	B	C	A	X	D
1	3	0.1	0	0.2	0
2	3	0.2			0
3	3	0.3	0.5		0
4	3	0.4	0.8		2

(B)



(32)

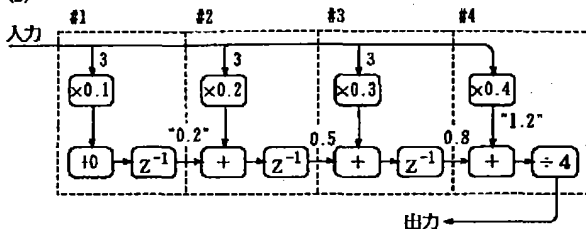
【図50】

(A) 実行状態10

入力待ち

	B	C	A	X	D
1	3	0.1	0		0
2	3	0.2	0.2		0
3	3	0.3	0.5		0
4		0.4	0.8	1.2	2

(B)



【図51】

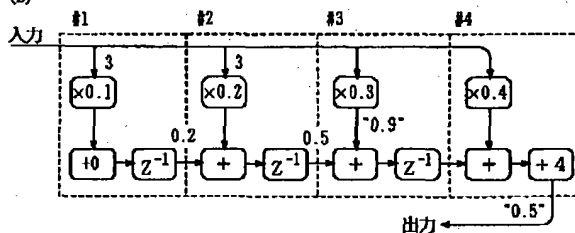
(A) 実行状態11

入力待ち

	B	C	A	X	D
1	3	0.1	0		0
2	3	0.2	0.2		0
3		0.3	0.5	0.9	0
4		0.4			2

0.5出力

(B)



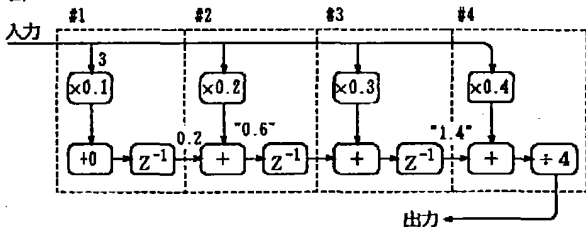
【図52】

(A) 実行状態12

入力待ち

	B	C	A	X	D
1	3	0.1	0		0
2		0.2	0.2	0.6	0
3		0.3			0
4		0.4	1.4		2

(B)



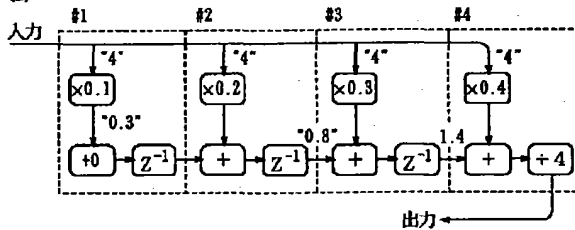
【図53】

(A) 実行状態13

4を入力

	B	C	A	X	D
1	4	0.1	0	0.3	0
2	4	0.2			0
3	4	0.3	0.8		0
4	4	0.4	1.4		2

(B)



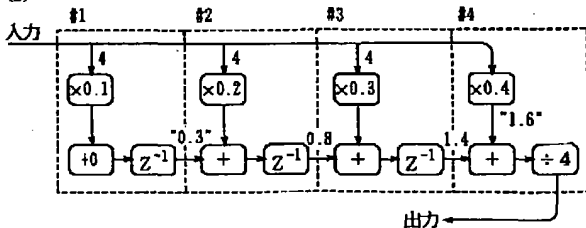
【図54】

(A) 実行状態14

入力待ち

	B	C	A	X	D
1	4	0.1	0		0
2	4	0.2	0.3		0
3	4	0.3	0.8		0
4		0.4	1.4	1.6	2

(B)



【図55】

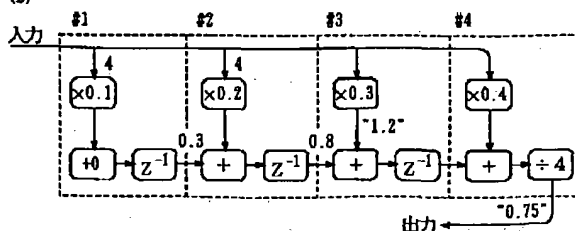
(A) 実行状態15

入力待ち

	B	C	A	X	D
1	4	0.1	0		0
2	4	0.2	0.3		0
3		0.3	0.8	1.2	0
4		0.4			2

0.75出力

(B)



(33)

【図57】

初期状態

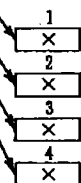
	B	C	A	X	D
1	1	0.1	0		0
2	1	0.2	0		0
3	1	0.3	0		0
4	1	0.4	0		2

【図58】

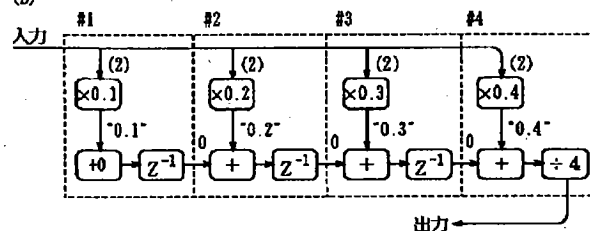
(A) 実行状態1-b (1-aは演算器の動作なし)

BとCの値を×演算器に送り、その結果を(xの計算結果)に書込む。

	B	C	A	X	D
1		0.1	0	0.1	0
2		0.2	0	0.2	0
3		0.3	0	0.3	0
4		0.4	0	0.4	2



(B)

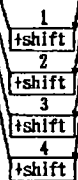


【図59】

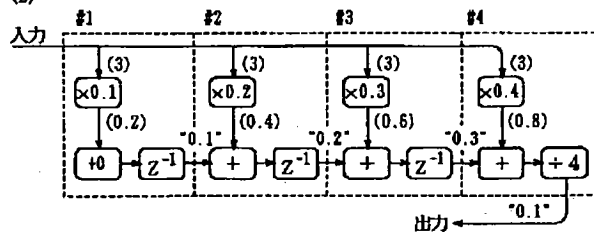
(A) 実行状態2-a

(xの計算結果)とAの値を、Fレジスタの示す行き先に書込む。この場合は、次のエントリ (1ならば2、2ならば3というように次の番号をもつレジスタ) のAレジスタ

	B	C	A	X	D
1		0.1	0		0
2		0.2	0.1		0
3		0.3	0.2		0
4		0.4	0.3		2

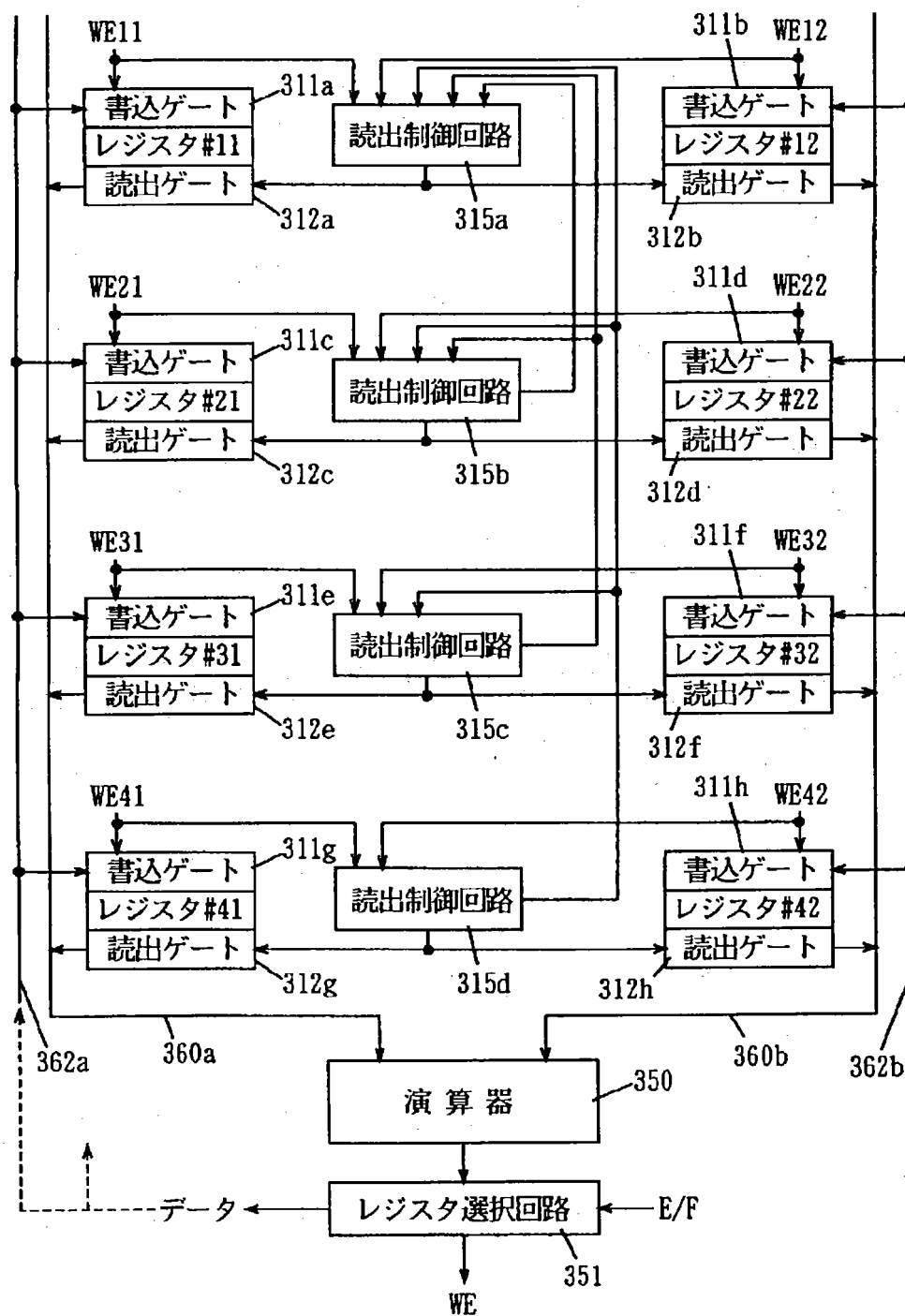


(B)



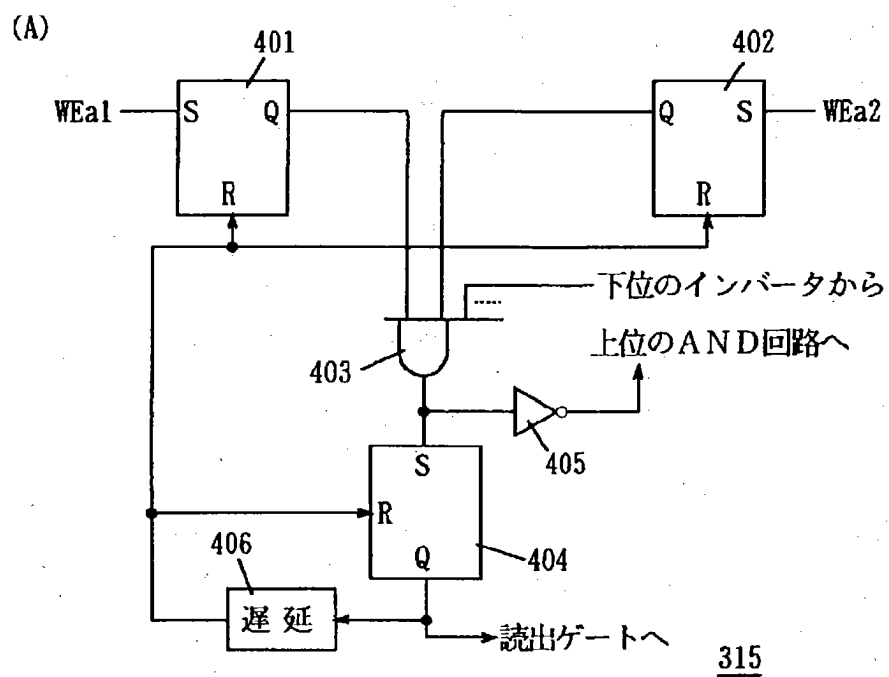
(34)

【図60】



(35)

【図61】



(B)

(a) 401 出力

(b) 402 出力

(c) 403 出力

(d) 404 出力

(e) 405 出力

(f) 下位インバータ

